

874
115

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月26日

出 願 番 号

Application Number:

特願2002-281937

[ST.10/C]:

[JP2002-281937]

出 願 人

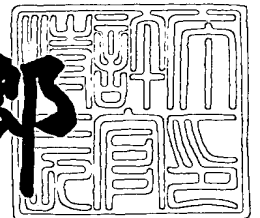
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034366

【書類名】 特許願

【整理番号】 75410122

【提出日】 平成14年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/14

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 片山 陽一

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及び画像処理方法

【特許請求の範囲】

【請求項 1】 外部から画素データを入力する入力部と、
ウェーブレット変換及び離散コサイン変換の実行を制御する制御部と、
前記制御部からの制御によって係数が切り換えられることにより前記入力部から入力された画素データに対してウェーブレット変換又は離散コサイン変換を実行する単一の回路から成る演算部、
とを備えた画像処理装置。

【請求項 2】 前記入力部は、
外部から入力された画素データを記憶する記憶部と、
前記記憶部から読み出された画素データを、前記制御部からの制御によって、
ウェーブレット変換又は離散コサイン変換に適合するように並び替える並び替え回路、
とを備え、

前記演算部は、前記制御部からの制御によって係数が切り換えられることにより前記並び替え回路で並び替えられた画素データに対してウェーブレット変換又は離散コサイン変換を実行するための演算を行う、
請求項 1 に記載の画像処理装置。

【請求項 3】 前記演算部は、
前記並び替え回路で並び替えられた画素データ同士を加算する加算部と、
前記加算部からの加算結果に対して、前記制御部の制御により与えられるウェーブレット変換用の係数又は離散コサイン変換用の係数を乗算する乗算部と、
前記乗算部からの出力を演算してウェーブレット変換又は離散コサイン変換の結果を出力する加減算部、
とを備えた請求項 2 に記載の画像処理装置。

【請求項 4】 前記制御部は、前記ウェーブレット変換及び離散コサイン変換の実行を制御する際に、更に、画像の圧縮を指示する順変換及び画像の伸長を指示する逆変換の何れかを前記入力部及び前記演算部に指示する、請求項 2 又は

3 に記載の画像処理装置。

【請求項 5】 前記制御部は、前記ウェーブレット変換の実行を制御する際に、更に、可逆 5×3 フィルタを用いたウェーブレット変換及び非可逆 9×7 フィルタを用いたウェーブレット変換の何れかを指示する、請求項 4 に記載の画像処理装置。

【請求項 6】 前記制御部により前記非可逆 9×7 フィルタを用いたウェーブレット変換が指示された場合に、

前記並び替え回路は、前記記憶部から読み出された画素データが対になるように並べ替え、

前記加算部は、前記並び替え回路からの画素データの対を加算し、

前記乗算部は、前記加算部からの加算結果に対し前記制御部の制御により与えられるウェーブレット変換用の係数を乗算し、

前記加減算部は、前記乗算部から乗算結果を加算し、以て可逆 9×7 フィルタを用いたウェーブレット変換の結果を出力する、

請求項 5 に記載の画像処理装置。

【請求項 7】 前記加算部における加算を繰り返して実行するための付加回路を更に備え、

前記制御部により前記可逆 5×3 フィルタを用いたウェーブレット変換が指示された場合に、

前記並び替え回路は、前記記憶部から読み出された画素データが対になるように並べ替え、

前記加算部は、前記付加回路により加算を繰り返して実行し、以て可逆 5×3 フィルタを用いたウェーブレット変換の結果を出力する、

請求項 5 に記載の画像処理装置。

【請求項 8】 前記制御部により前記離散コサイン変換が指示された場合に

前記並び替え回路は、前記記憶部から読み出された画素データが対になるように並べ替え、

前記加算部は、前記並び替え回路からの画素データの対を加算し、

前記乗算部は、前記加算部からの加算結果に対し前記制御部の制御により与えられるウェーブレット変換用の係数を乗算し、

前記加減算部は、前記乗算部から乗算結果を累積加算し、以て離散コサイン変換の結果を出力する、

請求項 5 に記載の画像処理装置。

【請求項 9】 外部から画素データを入力するステップと、

係数が切り換えられることにより前記入力された画素データに対してウェーブレット変換又は離散コサイン変換を実行するステップ、
とを備えた画像処理方法。

【請求項 10】 前記入力するステップは、

外部から入力された画素データを記憶するステップと、

前記記憶された画素データを、ウェーブレット変換又は離散コサイン変換に適合するように並び替えるステップ、
とを備え、

前記演算するステップは、前記係数が切り換えられることにより前記並び替えられた画素データに対してウェーブレット変換又は離散コサイン変換を実行するための演算を行う、

請求項 9 に記載の画像処理方法。

【請求項 11】 前記演算するステップは、

前記並び替えられた画素データ同士を加算するステップと、

該加算結果に対して、ウェーブレット変換用の係数及び離散コサイン変換用の係数の何れかを乗算するステップと、

前記乗算された結果を演算することによりウェーブレット変換又は離散コサイン変換の結果を出力するステップ、

とを備えた請求項 10 に記載の画像処理方法。

【請求項 12】 前記ウェーブレット変換及び離散コサイン変換の実行を制御する際に、更に、画像の圧縮を指示する順変換及び画像の伸長を指示する逆変換の何れかを指示する、請求項 10 又は 11 に記載の画像処理方法。

【請求項 13】 前記ウェーブレット変換の実行を制御する際に、更に、可

逆 5×3 フィルタを用いた変換及び非可逆 9×7 フィルタを用いた変換の何れかを指示する、請求項 1 2 に記載の画像処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像処理装置及び画像処理方法に関し、特に複数の符号化方式で利用される複数種類の演算を実行する技術に関する。

【0 0 0 2】

【従来の技術】

従来、静止画像の圧縮方法の規格の 1 つとして、J P E G (Joint Photographic Expert Group) 方式が知られている。この J P E G では、符号化方式として、離散コサイン変換 (D C T : Discrete Cosine Transform) が採用されている。この J P E G 方式により画質を劣化させずに高圧縮が実現可能になったことでパーソナルコンピュータやファクシミリでの画像の取扱が容易になった。

【0 0 0 3】

しかしながら、上述した J P E G 方式は、例えば低ビットレートで画質が劣化するという欠点の他、幾つかの欠点を有する。これらの欠点を解消するために、近年は、J P E G 2 0 0 0 方式が新たに規格化されて実用に供されつつある。この J P E G 2 0 0 0 では、符号化方式として、離散ウェーブレット変換 (D W T : Discrete Wavelet Transform) が採用されている。

【0 0 0 4】

ところで、J P E G 2 0 0 0 方式に従って圧縮された静止画像の取り扱いが可能になった昨今は、J P E G 方式で圧縮された静止画像及び J P E G 2 0 0 0 方式で圧縮された静止画像が並行して取り扱われる状態にあり、これら両方式に対応できる画像処理装置の開発が望まれている。

【0 0 0 5】

関連技術として、特開 2 0 0 1 - 1 0 3 4 8 4 は、「画像処理装置及びその方法」を開示している。図 1 3 は、この画像処理装置の概略の構成を示すブロック図である。この画像処理装置は、入力選択回路 5 0、D C T 変換回路 5 1 及び D

WT変換回路52及び出力選択回路53から構成されている。入力選択回路50は、外部から供給される入力データを、外部から供給される選択信号によって選択されるDCT演算回路51又はDWT演算回路52に送る。DCT演算回路51は、入力選択回路50からのデータに対してDCT演算を行い、出力選択回路53に送る。DWT演算回路52は、入力選択回路50からのデータに対してDWT演算を行い、出力選択回路53に送る。出力選択回路53は、上記選択信号によって選択されたDCT演算回路51又はDWT演算回路52からのデータを出力データとして外部に送る。

【0006】

なお、他の関連技術として、特開平6-46404は、エッジが存在する場合の画質の劣化を低減する「画像データ処理装置及び画像データ処理方法」を開示している。この画像データ処理装置は、ブロック単位でエッジの有無を検出し、エッジのあるブロックについては離散コサイン変換処理に代えてウェーブレット変換を行い、この変換によって得られた画像データを送信する。

【0007】

【特許文献1】特開2001-103484公報

【特許文献2】特開平6-46404公報

【0008】

【発明が解決しようとする課題】

しかしながら、上述した特開2001-103484に開示された画像処理装置のように、DCT演算回路とDWT演算回路とを別個に備えると、画像処理装置としての回路規模は非常に大きくなる。また、DCT演算とDWT演算との間には互換性がなく、DCT演算回路の動作タイミングとDWT演算回路のそれとは異なる。従って、DCT演算回路及びDWT演算回路の各々のデータ入力部分及びデータ出力部分に、動作タイミングを生成するための周辺回路を備える必要があり、回路規模の増大の一因になっている。

【0009】

本発明は、上述した問題を解消するためになされたものであり、その目的は、離散的コサイン演算及びウェーブレット演算を実行する回路を小規模にできる画

像処理装置及び画像処理方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

以下に、〔発明の実施の形態〕で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、〔特許請求の範囲〕の記載と〔発明の実施の形態〕の記載との対応関係を明らかにするために付加されたものであるが、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 1 】

本発明の第 1 の態様に係る画像処理装置は、上記目的を達成するために、外部から画素データを入力する入力部（10）と、ウェーブレット変換及び離散コサイン変換の実行を制御する制御部（30）と、制御部（30）からの制御によって係数が切り換えられることにより入力部（10）から入力された画素データに対してウェーブレット変換又は離散コサイン変換を実行する単一の回路から成る演算部（20）、とを備えている。

【 0 0 1 2 】

この画像処理装置において、入力部（10）は、外部から入力された画素データを記憶する記憶部（11）と、記憶部（11）から読み出された画素データを、制御部（30）からの制御によって、ウェーブレット変換又は離散コサイン変換に適合するように並び替える並び替え回路（12）、とを備え、演算部（20）は、制御部（30）からの制御によって係数が切り換えられることにより並び替え回路（12）で並び替えられた画素データに対してウェーブレット変換又は離散コサイン変換を実行するための演算を行うように構成できる。

【 0 0 1 3 】

また、演算部（20）は、並び替え回路（12）で並び替えられた画素データ同士を加算する加算部（21）と、加算部（21）からの加算結果に対して、制御部（30）の制御により与えられるウェーブレット変換用の係数及び離散コサイン変換用の係数の何れかを乗算する乗算部（23）と、乗算部（23）からの出力を演算してウェーブレット変換又は離散コサイン変換の結果を出力する加減

算部（25）、とを備えて構成できる。

【0014】

また、制御部（30）は、ウェーブレット変換及び離散コサイン変換の実行を制御する際に、更に、画像の圧縮を指示する順変換及び画像の伸長を指示する逆変換の何れかを入力部及び演算部（20）に指示するように構成できる。また、制御部（30）は、ウェーブレット変換の実行を制御する際に、更に、可逆 5×3 フィルタを用いた変換及び非可逆 9×7 フィルタを用いた変換の何れかを選択指示するように構成できる。

【0015】

また、制御部（30）により前記非可逆 9×7 フィルタを用いたウェーブレット変換が指示された場合に、並び替え回路（12）は、記憶部（11）から読み出された画素データが対になるように並べ替え、加算部（21）は、並び替え回路（12）からの画素データの対を加算し、乗算部（23）は、加算部（21）からの加算結果に対し制御部（30）の制御により与えられるウェーブレット変換用の係数を乗算し、加減算部（25）は、乗算部（23）から乗算結果を加算し、以て可逆 9×7 フィルタを用いたウェーブレット変換の結果を出力するように構成できる。

【0016】

また、加算部（21）における加算を繰り返して実行するための付加回路（41）を更に備え、制御部（30）により可逆 5×3 フィルタを用いたウェーブレット変換が指示された場合に、並び替え回路（12）は、記憶部（11）から読み出された画素データが対になるように並べ替え、加算部（21）は、付加回路（41）により加算を繰り返して実行し、以て可逆 5×3 フィルタを用いたウェーブレット変換の結果を出力するように構成できる。

【0017】

更に、制御部（30）により前記離散コサイン変換が指示された場合に、並び替え回路（12）は、記憶部（11）から読み出された画素データが対になるように並べ替え、加算部（21）は、並び替え回路（12）からの画素データの対を加算し、乗算部（23）は、加算部（21）からの加算結果に対し制御部（3

0) の制御により与えられるウェーブレット変換用の係数を乗算し、加減算部 (25) は、乗算部 (23) から乗算結果を累積加算し、以て離散コサイン変換の結果を出力するように構成できる。

【0018】

本発明の第2の態様に係る画像処理方法は、上記と同様の目的で、外部から画素データを入力するステップと、係数が切り換えられることにより入力された画素データに対してウェーブレット変換又は離散コサイン変換を実行するステップ、とを備えている。

【0019】

この画像処理方法では、入力するステップは、外部から入力された画素データを記憶するステップと、記憶された画素データを、ウェーブレット変換又は離散コサイン変換に適合するように並び替えるステップを備え、演算するステップは、係数が切り換えられることにより並び替えられた画素データに対してウェーブレット変換又は離散コサイン変換を実行するための演算を行うように構成できる。

【0020】

また、演算するステップは、並び替えられた画素データ同士を加算するステップと、該加算結果に対して、ウェーブレット変換用の係数及び離散コサイン変換用の係数の何れかを乗算するステップと、乗算された結果を演算することによりウェーブレット変換又は離散コサイン変換の結果を出力するステップとを備えて構成できる。

【0021】

この場合、ウェーブレット変換及び離散コサイン変換の実行を制御する際に、更に、画像の圧縮を指示する順変換及び画像の伸長を指示する逆変換の何れかを指示するように構成できる。また、ウェーブレット変換の実行を制御する際に、更に、可逆 5×3 フィルタを用いた変換及び非可逆 9×7 フィルタを用いた変換の何れかを指示するように構成できる。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態に係る画像処理装置及び画像処理方法を、図面を参照しながら詳細に説明する。

【 0 0 2 3 】

画像処理装置を説明するに先だって、この画像処理装置で使用されるウェーブレット変換及び離散コサイン変換（DCT）について説明する。

【 0 0 2 4 】

先ず、ウェーブレット変換について説明する。この画像処理装置では、非可逆 9×7 フィルタを用いた非可逆変換と、可逆 5×3 フィルタを用いた可逆変換とが行われる。

【 0 0 2 5 】

非可逆 9×7 変換の特徴は、変換に使用される係数が実数であること、及び変換後の係数に対して丸め処理が行われなないことである。非可逆 9×7 フィルタでは、圧縮時は、偶数列の画素に対しては下記式（１）、奇数列の画素に対しては下記式（２）をそれぞれ用いて変換が行われる。

【数 1】

$$\begin{aligned} Y(2n) = & W1 * (X(2n-4) + X(2n+4)) - W0 * (X(2n-3) + X(2n+3)) \\ & - W3 * (X(2n-2) + X(2n+2)) + W5 * (X(2n-1) + X(2n+1)) \\ & + W7 * X(2n) \quad \dots \text{式 (1)} \end{aligned}$$

【数 2】

$$\begin{aligned} Y(2n+1) = & W4 * (X(2n-2) + X(2n+4)) - W2 * (X(2n-1) + X(2n+3)) \\ & - W6 * (X(2n) + X(2n+2)) + W8 * X(2n+1) \dots \text{式 (2)} \end{aligned}$$

ここで、 $W0$ 、 $W1$ 、 $W2$ 、 $W3$ 、 $W4$ 、 $W5$ 、 $W6$ 及び $W7$ は、非可逆 9×7 フィルタのフィルタ係数であり、

$$W0 = 0.0168641184 \dots,$$

$$W1 = 0.0267487574 \dots,$$

$$W2 = 0.0575435262 \dots,$$

$$W3 = 0.0782232665 \dots,$$

$W4=0.0912717631\dots$ 、

$W5=0.2668641184\dots$ 、

$W6=0.5912717631\dots$ 、

$W7=0.6029490182\dots$ 、

$W8=1.1150870524\dots$

である。

【 0 0 2 6 】

一方、伸長時は、偶数列の画素に対しては下記式（3）、奇数列の画素に対しては下記式（4）をそれぞれ用いて変換が行われる。

【数 3】

$$X(2n) = W0 * (Y(2n-3) + Y(2n+3)) - W2 * (Y(2n-2) + Y(2n+2)) \\ - W5 * (Y(2n-1) + Y(2n+1)) + W8 * Y(2n) \quad \dots \text{式 (3)}$$

【数 4】

$$X(2n+1) = W1 * (Y(2n-3) + Y(2n+5)) - W4 * (Y(2n-2) + Y(2n+4)) \\ - W3 * (Y(2n-1) + Y(2n+3)) + W6 * (Y(2n) + Y(2n+2)) \\ + W7 * Y(2n+1) \quad \dots \text{式 (4)}$$

ここで、 $W0$ 、 $W1$ 、 $W2$ 、 $W3$ 、 $W4$ 、 $W5$ 、 $W6$ 及び $W7$ は、非可逆 9×7 フィルタのフィルタ係数であり、上述した値が使用される。

【 0 0 2 7 】

次に、可逆 5×3 フィルタの特徴は、変換のために使用される係数が整数であること、及び変換後の係数を丸め処理によって整数にすることである。可逆 5×3 フィルタでは、圧縮時は、偶数列の画素に対しては下記式（5）、奇数列の画素に対しては下記式（6）をそれぞれ用いて変換が行われる。

【数 5】

$$Y(2n+1) = X(2n+1) - \left\lfloor \frac{X(2n) + X(2n+2)}{2} \right\rfloor$$

$\lfloor a \rfloor$ floor関数 : a を上回らない最大整数値 ……式 (5)

【数 6】

$$Y(2n) = X(2n) + \left\lfloor \frac{Y(2n-1) + Y(2n+1) + 2}{4} \right\rfloor \quad \dots \text{式 (6)}$$

【0 0 2 8】

一方、伸長時は、偶数列の画素に対しては下記式 (7)、奇数列の画素に対しては下記式 (8) をそれぞれ用いて変換が行われる。

【数 7】

$$X(2n) = Y(2n) - \left\lfloor \frac{Y(2n-1) + Y(2n+1) + 2}{4} \right\rfloor \quad \dots \text{式 (7)}$$

【数 8】

$$X(2n+1) = Y(2n+1) + \left\lfloor \frac{X(2n) + X(2n+2)}{2} \right\rfloor \quad \dots \text{式 (8)}$$

【0 0 2 9】

次に、DCT変換について説明する。DCT変換では、圧縮時は、下記式 (9)、並びに偶数列の画素に対しては式 (10)、奇数列の画素に対しては式 (11) をそれぞれ用いて変換が行われる。

【0 0 3 0】

【数 9】

$$a_0 = f_0 + f_7, a_1 = f_1 + f_6, a_2 = f_2 + f_5, a_3 = f_3 + f_4,$$

$$a_4 = f_0 - f_7, a_5 = f_1 - f_6, a_6 = f_2 - f_5, a_7 = f_3 - f_4 \quad \dots \text{式 (9)}$$

【数 1 0】

$$\begin{bmatrix} F0 \\ F4 \\ F2 \\ F6 \end{bmatrix} = \begin{bmatrix} a0+a1+a3+a2 & 0 & 0 \\ a0-a1+a3-a2 & 0 & 0 \\ 0 & a0-a3 & a1-a2 \\ 0 & -a1+a2 & a0-a3 \end{bmatrix} \begin{bmatrix} D3 \\ D5 \\ D1 \end{bmatrix} \dots \text{式 (1 0)}$$

ここで、D 0、D 1、D 2、D 3、D 4、D 5 及び D 6 は、離散コサイン変換を行う際にフィルタ係数として使用される乗算係数であり、

$$D0=0.19509032\dots,$$

$$D1=0.38268343\dots,$$

$$D2=0.55557023\dots,$$

$$D3=0.70710678\dots,$$

$$D4=0.83146961\dots,$$

$$D5=0.92387953\dots,$$

$$D6=0.98078528\dots,$$

である。以下の式 (1 1) ～式 (1 4) においても同じである。

【数 1 1】

$$\begin{bmatrix} F1 \\ F3 \\ F5 \\ F7 \end{bmatrix} = \begin{bmatrix} a4 & a5 & a6 & a7 \\ -a6 & 0a4 & -a7 & -a5 \\ -a5 & a7 & a4 & a6 \\ -a7 & a6 & -a5 & a4 \end{bmatrix} \begin{bmatrix} D6 \\ D4 \\ D2 \\ D0 \end{bmatrix} \dots \text{式 (1 1)}$$

【0 0 3 1】

また、伸長時は、下記式 (1 2)、式 (1 3) 及び式 (1 4) を用いて変換が行われる。

【数 1 2】

$$a0=F0, a1=F6, a2=F2, a3=F4, a4=-F7, a5=F1, a6=-F5, a7=F3 \dots \text{式 (1 2)}$$

【数 1 3】

$$\frac{1}{2} \begin{bmatrix} f0+f4 \\ f1+f5 \\ f2+f6 \\ f3+f7 \end{bmatrix} = \begin{bmatrix} a0+a3 & a2 & 0a1 \\ a0-a3 & -a1 & 0a2 \\ a0-a3 & a1 & -a2 \\ a0+a3 & -a2 & -a1 \end{bmatrix} \begin{bmatrix} D3 \\ D5 \\ D1 \end{bmatrix} \dots \text{式 (1 3)}$$

【数 1 4】

$$\frac{1}{2} \begin{bmatrix} f0-f4 \\ f1-f5 \\ f2-f6 \\ f3-f7 \end{bmatrix} = \begin{bmatrix} a5 & a7 & -a6 & -a4 \\ a6 & a5 & a4 & -a7 \\ -a7 & -a4 & a5 & -a6 \\ a4 & -a6 & -a7 & a5 \end{bmatrix} \begin{bmatrix} D6 \\ D4 \\ D2 \\ D0 \end{bmatrix} \dots \text{式 (1 4)}$$

【0 0 3 2】

(実施の形態 1)

本発明の実施の形態 1 は、非可逆 9×7 フィルタを用いたウェーブレット変換と、離散コサイン変換とを行う画像処理装置である。

【0 0 3 3】

次に、本発明の実施の形態 1 に係る画像処理装置の構成を説明する。図 1 は、この画像処理装置の概略の構成を示すブロック図である。この画像処理装置は、大きく分けると、入力部 10、演算部 20 及び制御部 30 から構成されており、単一の L S I (大規模集積回路) として形成されている。

【0 0 3 4】

入力部 10 は、更に、記憶部 11 と並び替え回路 12 とから構成されている。記憶部 11 は、外部から送られてくる画素データを記憶する。この記憶部 11 は、後述するようにシフトレジスタから構成されており、記憶された画素データを画素単位でシフトすると共に並び替え回路 12 に送る。

【0 0 3 5】

並び替え回路 12 は、制御部 30 からの制御信号 S1 に応答して、記憶部 11 からの画素データを、ウェーブレット変換又は離散コサイン変換に適合するよう

に並び替える。この並び替え回路 1 2 で並び替えられた画素データは、演算部 2 0 に送られる。

【 0 0 3 6 】

演算部 2 0 は、更に、加算部 2 1、乗算部 2 3 及び加減算部 2 5 から構成されている。加算部 2 1 は、制御部 3 0 からの制御信号 S 2 に応じて並び替え回路 1 2 からの画素データを加算又は減算する。例えば、式 (1) を用いてウェーブレット変換を行う場合は、各項内の加算を実行する。具体的には、「 $X(2n-4) + X(2n+4) = a_1$ 」、「 $X(2n-3) + X(2n+3) = a_2$ 」、「 $X(2n-2) + X(2n+2) = a_3$ 」及び「 $X(2n-1) + X(2n+1) = a_4$ 」といった 4 つの加算を並列に実行する。この加算部 2 1 における加算結果は、乗算部 2 3 に送られる。

【 0 0 3 7 】

乗算部 2 3 は、加算部 2 1 からの加算結果と制御部 3 0 からの制御信号 S 3 として送られてくるフィルタ係数とを乗算する。例えば、式 (1) を用いてウェーブレット変換を行う場合は、各項内の乗算を実行する。具体的には、「 $W_1 * a_1 = MPY_1$ 」、「 $W_0 * a_2 = MPY_2$ 」、「 $W_3 * a_3 = MPY_3$ 」、「 $W_5 * a_4 = MPY_4$ 」及び「 $W_7 * X(2n) = MPY_5$ 」といった 5 つの乗算を実行する。

【 0 0 3 8 】

加減算部 2 5 は、乗算部 2 3 からの乗算結果に対して加算及び／又は減算処理を施し、最終的な変換結果を算出する。例えば、式 (1) を用いてウェーブレット変換を行う場合は、式 (1) の各項の加減算を実行する。具体的には、「 $MPY_1 - MPY_2 - MPY_3 + MPY_4 + MPY_5$ 」といった 5 つの項を加減算する。これにより、最終的な変換結果である「 $Y(2n)$ 」が求められる。なお、以上は式 (1) で表される演算を行う場合の具体例について説明したが、他の式で表される演算を行う場合も同様である。

【 0 0 3 9 】

制御部 3 0 は、入力部 1 0 を制御するための制御信号 S 1 を生成して入力部 1 0 に送る。また、演算部 2 0 を制御するための制御信号 S 2 ～ S 4 を生成して演

算部 20 に送る。これら制御信号 S1 ～ S4 により、非可逆 9×7 フィルタを用いたウェーブレット変換の順変換（圧縮する変換をいう。以下同じ）及び逆変換（伸長する変換をいう。以下同じ）、可逆 5×3 フィルタを用いたウェーブレット変換の順変換及び逆変換、並びに離散コサイン変換の順変換及び逆変換の何れを実行するかが決定される。

【0040】

次に、上述した画像処理装置を更に詳細に説明する。図 2 は、非可逆 9×7 フィルタを用いたウェーブレット変換と離散コサイン変換とを 1 つの回路で実行するための画像処理装置の構成を示すブロック図である。

【0041】

この画像処理装置は、入力部 10 を構成する記憶部 11 及び並び替え回路 12、並びに、演算部 20 を構成する加算部 21、ラッチ 22、乗算部 23、ラッチ 24、加減算部 25、FF19、リミッタ 26 及び FF20 から構成されている。

【0042】

記憶部 11 は、フリップフロップ FFinp と 9 個のフリップフロップ FF0 ～ FF8 から構成されている。以下では、符号が付されたフリップフロップは符号のみで表す。FF0 ～ FF8 はシリアルに接続されることにより、シフトレジスタを構成している。なお、図 2 では、フリップフロップのクロック入力端子に供給されるクロック信号は図示を省略してあるが、全てのフリップフロップに対して同じクロック信号が供給される。

【0043】

FFinp は、外部から供給される画素データを記憶するバッファとして機能する。この FFinp の出力は、FF0 の入力に送られる。FF0 は、FFinp からの画像データを記憶する。この FF0 の出力 f0 は、FF1 に供給される。以下同様に、上位のフリップフロップから出力される画素データは下位のフリップフロップの入力に送られる。各フリップフロップに記憶された画素データは、クロック信号が入力される毎に、FF0 から FF8 方向にシフトされる。

【0044】

また、FF0～FF8の出力f0～f8は、並列に並び替え回路12に供給される。更に、FF4の出力f4は、後述するFF13に送られる。このFF4の出力f4は、ウェーブレット変換時における変換対象とされている画素、即ち注目画素に対応する。

【0045】

なお、上述した記憶部11は、外部から1画素単位で供給される画素データを順次シフトしながらFF0～FF8にセットするように構成されているが、FF0～FF8として、ロード端子を備えたフリップフロップを用いることができる。この構成によれば、並列に送られてくる画素データを同時にセットできる。

【0046】

並び替え回路12は、記憶部11から送られてくる9ビットの画素データf0～f8を並べ替え、8ビットの画素データm1～m8として出力する。この並び替え回路12における並べ替えの態様は、制御部30からの制御信号S1によって決定される。

【0047】

図2中の「9×7（圧）」は非可逆9×7フィルタを用いたウェーブレット変換の順変換を行う場合の並べ替えの様子を示している。この場合、並び替え回路12は、画素データm1として、偶数列であるか奇数列であるかに拘わらず、入力された画素データf8を出力することを示している。また、画素データm2として、偶数列の場合は入力された画素データf0を出力し、奇数列の場合は無関係である（ゼロを出力する）ことを示している。他の画素データm2～m8についても同様である。

【0048】

同様に、図2中の「9×7（伸）」は非可逆9×7フィルタを用いたウェーブレット変換の逆変換を行う場合の並べ替えの様子を示している。この場合、並び替え回路12は、画素データm1として、偶数列の場合は無関係である（ゼロを出力する）ことを示し、奇数列の場合は入力された画素データf8を出力することを示している。また、画素データm2として、偶数列の場合は無関係である（ゼロを出力する）ことを示し、奇数列の場合は入力された画素データf0を出力

することを示している。

【 0 0 4 9 】

加算部 2 1 は、4 個の加算器 2 1₁ ~ 2 1₄ から構成されている。加算器 2 1₁ は、並び替え回路 1 2 からの画素データ m 1 と m 2 とを加算する。加算結果は、データ a 1 又は a 5 としてラッチ 2 2 に送られる。加算器 2 1₂ は、並び替え回路 1 2 からの画素データ m 3 と m 4 とを加算する。加算結果は、データ a 2 又は a 6 としてラッチ 2 2 に送られる。加算器 2 1₃ は、並び替え回路 1 2 からの画素データ m 5 と m 6 とを加算する。加算結果は、データ a 3 又は a 7 としてラッチ 2 2 に送られる。加算器 2 1₄ は、並び替え回路 1 2 からの画素データ m 7 と m 8 とを加算する。加算結果は、データ a 4 又は a 8 としてラッチ 2 2 に送られる。

【 0 0 5 0 】

ラッチ 2 2 は、5 個の F F 9 ~ F F 1 3 から構成されている。F F 9 は、加算器 2 1₁ からのデータ a 1 又は a 5 をラッチし、乗算部 2 3 に送る。F F 1 0 は、加算器 2 1₂ からのデータ a 2 又は a 6 をラッチし、乗算部 2 3 に送る。F F 1 1 は、加算器 2 1₃ からのデータ a 3 又は a 7 をラッチし、乗算部 2 3 に送る。F F 1 2 は、加算器 2 1₄ からのデータ a 4 又は a 8 をラッチし、乗算部 2 3 に送る。F F 1 3 は、上述したように、記憶部 1 1 の F F 4 からのデータ f 3 をラッチし、乗算部 2 3 に送る。

【 0 0 5 1 】

乗算部 2 3 は、5 個の乗算器 2 3₁ ~ 2 3₅ から構成されている。乗算器 2 3₁ は、F F 9 からのデータと制御部 3 0 から制御信号 S 3 として送られてくる乗算係数 α とを乗算する。乗算結果 M P Y 1 はラッチ 2 4 に送られる。乗算器 2 3₂ は、F F 1 0 からのデータと制御部 3 0 からの乗算係数 β とを乗算する。乗算結果 M P Y 2 はラッチ 2 4 に送られる。乗算器 2 3₃ は、F F 1 1 からのデータと制御部 3 0 からの乗算係数 γ とを乗算する。乗算結果 M P Y 3 はラッチ 2 4 に送られる。乗算器 2 3₄ は、F F 1 2 からのデータと制御部 3 0 からの乗算係数 δ とを乗算する。乗算結果 M P Y 4 はラッチ 2 4 に送られる。乗算器 2 3₅ は、F F 3 からのデータと制御部 3 0 からの乗算係数 ϵ とを乗算する。乗算結果 M P Y

5はラッチ24に送られる。

【0052】

ここで、乗算係数 α としては、図3に示すように、変換の種類によって、以下の値が使用される。即ち、非可逆 9×7 フィルタを用いたウェーブレット変換の順変換「 9×7 （圧）」の場合は、「 $W1/0$ 」、つまり偶数列であれば $W1$ 、奇数列であれば「0」が使用される。非可逆 9×7 フィルタを用いたウェーブレット変換の逆変換「 9×7 （伸）」の場合は、「 $0/W1$ 」、つまり偶数列であれば「0」、奇数列であれば $W1$ が使用される。離散コサイン変換の場合は、順変換「DCT（圧）」及び逆変換「DCT（伸）」に拘わらず、「 $D0/D4$ 」、つまり偶数列であれば $D5$ 、奇数列であれば $D6$ が使用される。

【0053】

以下、同様の表記方法を用いると、乗算係数 β としては、「 9×7 （圧）」の場合は、「 $-W0/W4$ 」が使用される。「 9×7 （伸）」の場合は、「 $W0/-W4$ 」が使用される。「DCT（圧）」及び「DCT（伸）」の場合は、「 $D1/D4$ 」が使用される。乗算係数 γ としては、「 9×7 （圧）」の場合は、「 $-W3/-W2$ 」が使用される。「 9×7 （伸）」の場合は、「 $-W2/-W3$ 」が使用される。「DCT（圧）」及び「DCT（伸）」の場合は、「 $D3/D2$ 」が使用される。

【0054】

乗算係数 δ としては、「 9×7 （圧）」の場合は、「 $W5/-W6$ 」が使用される。「 9×7 （伸）」の場合は、「 $-W5/W6$ 」が使用される。「DCT（圧）」及び「DCT（伸）」の場合は、「 $0/D0$ 」が使用される。乗算係数 ϵ としては、「 9×7 （圧）」の場合は、「 $W7/W8$ 」が使用される。「 9×7 （伸）」の場合は、「 $W8/W7$ 」が使用される。「DCT（圧）」及び「DCT（伸）」の場合は、「 $0/0$ 」が使用される。

【0055】

ラッチ24は、5個のFF14～FF18から構成されている。FF14は、乗算器23₁からのデータMPY1をラッチし、加減算部25に送る。FF15は、乗算器23₂からのデータMPY2をラッチし、加減算部25に送る。FF

1 6 は、乗算器 2 3₃からのデータ M P Y 3 をラッチし、加減算部 2 5 に送る。
 F F 1 7 は、乗算器 2 3₄からのデータ M P Y 4 をラッチし、加減算部 2 5 に送
 る。F F 1 8 は、乗算器 2 3₅からのデータ M P Y 5 をラッチし、加減算部 2 5
 に送る。

【 0 0 5 6 】

加減算部 2 5 は、加算器 2 5₁、2 5₂、2 5₃、2 5₄及びセクタ 2 5₅から
 構成されている。加算器 2 5₁は、F F 1 4 からのデータと F F 1 5 からのデー
 タを加算して加算器 2 5₃に送ると共に、F F 1 5 からのデータと F F 1 6 から
 のデータを加算して加算器 2 5₂に送る。

【 0 0 5 7 】

加算器 2 5₂は、加算器 2 5₁からのデータと F F 1 7 からのデータを加算して
 加算器 2 5₃に送ると共に、F F 1 7 からのデータとセクタ 2 5₅からのデータ
 を加算して加算器 2 5₃に送る。加算器 2 5₃は、加算器 2 5₁からのデータと加
 算器 2 5₂からのデータを加算して加算器 2 5₄に送ると共に、加算器 2 5₂から
 の 2 つのデータを加算して加算器 2 5₄に送る。

【 0 0 5 8 】

加算器 2 5₄は、加算器 2 5₃からの 2 つのデータを加算して F F 1 9 に送る。
 セクタ 2 5₅は、制御部 3 0 からの制御信号 S 4 に従って、F F 1 8 からのデー
 タ及び F F 1 9 からのデータの何れか 1 つを選択し、加算器 2 5₂に送る。セ
 レクタ 2 5₅は、制御信号 S 4 によって、ウェーブレット変換の場合は F F 8 の
 出力を選択し、離散コサイン変換の場合は F F 1 9 の出力を選択するように制御
 される。

【 0 0 5 9 】

F F 1 9 は、加算器 2 5₄からのデータをラッチし、セクタ 2 5₅及びリミッ
 タ 2 6 に送る。リミッタ 2 6 は、F F 1 9 からのデータが所定値を越えた場合に
 、そのデータを所定値に制限する。このリミッタ 2 6 の出力は F F 2 0 に送られ
 る。F F 2 0 は、リミッタ 2 6 からのデータをラッチし、外部に送出する。

【 0 0 6 0 】

なお、上述したラッチ 2 2 (F F 9 ~ F F 1 3) 、ラッチ 2 4 (F F 1 4 ~ F

F 1 8)、F F t 1、F F t 2、F F 1 9 及び F F 2 0 は、パイプライン方式を採用して画像処理装置を高速で動作させるために設けられており、画像処理装置に要求される性能に応じて適宜省略できる。

【 0 0 6 1 】

(1 - 1) 非可逆 9×7 フィルタを用いたウェーブレット変換の順変換

次に、以上のように構成される画像処理装置の動作を説明する。先ず、非可逆 9×7 フィルタを用いたウェーブレット変換の順変換の動作を説明する。

【 0 0 6 2 】

先ず、外部からの画素データが記憶部 1 1 を構成するシフトレジスタにセットされる。なお、画像の端部の画素データを変換するときは、詳細な説明は省略するが、画素データ列を折り返すことにより作成された仮想の画素データが記憶部 1 1 にセットされるように特別の処理が行われる。記憶部 1 1 の F F 4 にセットされた画素データが変換対象となる注目画素である。

【 0 0 6 3 】

9 ビットの画素データが F F 0 ~ F F 8 にセットされた状態で、制御部 3 0 は、非可逆 9×7 フィルタを用いたウェーブレット変換の順変換を指示する制御信号 S 1 を並び替え回路 1 2 に送る。これにより、並び替え回路 1 2 は、注目画素が偶数列の画素である場合は、画素データ m 1 として、式 (1) 中の「 $X(2n + 4)$ 」に対応する F F 8 の内容を出力し、画素データ m 2 として、「 $X(2n - 4)$ 」に対応する F F 0 の内容を出力する。以下、同様に、図 2 の「 9×7 (圧) 」に示されているような選択を行って画素データ m 3 ~ m 8 を出力する。一方、注目画素が奇数列の画素である場合は、並び替え回路 1 2 は、画素データ m 2 としてゼロ (無効データ) を出力する以外は、偶数列の画素の場合と同じ画素データを出力する。

【 0 0 6 4 】

次いで、制御部 3 0 は、加算部 2 1 を構成する各加算器 $2 1_1 \sim 2 1_4$ に対して、加算を指示する制御信号 S 2 を送る。

【 0 0 6 5 】

並び替え回路 1 2 からの画素データを受け取った加算器 $2 1_1$ は、画素データ

m1 と画素データ m2 とを加算し、式 (1) における「 $X(2n-4) + X(2n+4)$ 」を計算する。この計算結果「a1」は、ラッチ 22 を構成する FF9 にセットされる。加算器 21₂ は、画素データ m3 と画素データ m4 とを加算し、式 (1) における「 $X(2n-3) + X(2n+3)$ 」を計算する。この計算結果「a2」は、FF10 にセットされる。加算器 21₃ は、画素データ m5 と画素データ m6 とを加算し、式 (1) における「 $X(2n-2) + X(2n+2)$ 」を計算する。この計算結果「a3」は、FF11 にセットされる。加算器 21₄ は、画素データ m7 と画素データ m8 とを加算し、式 (1) における「 $X(2n-1) + X(2n+1)$ 」を計算する。この計算結果「a4」は、FF12 にセットされる。なお、FF13 には、FF4 の内容がセットされる。

【0066】

次いで、制御部 30 は、非可逆 9×7 フィルタを用いたウェーブレット変換の順変換を行う際に使用する乗算係数 $\alpha \sim \varepsilon$ を、制御信号 S3 として、乗算部 23 に送る。これにより、乗算器 23₁ は、注目画素が偶数列の画素である場合は、加算結果「a1」と乗算係数 α である W1 とを乗算し、式 (1) における「 $W1 * (X(2n-4) + X(2n+4))$ 」を実行する。一方、注目画素が奇数列の画素である場合は、乗算係数 α が「0」であるので乗算結果として「0」を出力する。この乗算器 23₁ による乗算結果「MPY1」はラッチ 24 を構成する FF14 にセットされる。

【0067】

同様に、乗算器 23₂ は、注目画素が偶数列の画素である場合は、加算結果「a2」と乗算係数 β である $-W0$ とを乗算し、式 (1) における「 $-W0 * (X(2n-3) + X(2n+3))$ 」を実行する。一方、注目画素が奇数列の画素である場合は、加算結果「a2」と乗算係数 β である W4 とを乗算し、式 (2) における「 $W4 * (X(2n-2) + X(2n+4))$ 」を実行する。この乗算器 23₂ による乗算結果「MPY2」は FF15 にセットされる。

【0068】

乗算器 23₃ は、注目画素が偶数列の画素である場合は、加算結果「a3」と乗算係数 γ である $-W3$ とを乗算し、式 (1) における「 $-W3 * (X(2n-$

2) + X (2 n + 2)) 」 を実行する。一方、注目画素が奇数列の画素である場合は、加算結果「a 3」と乗算係数 γ である $-W 2$ とを乗算し、式 (2) における「 $-W 2 * (X (2 n - 1) + X (2 n + 3))$ 」を実行する。この乗算器 2 3₃ による乗算結果「MP Y 3」は F F 1 6 にセットされる。

【 0 0 6 9 】

乗算器 2 3₄ は、注目画素が偶数列の画素である場合は、加算結果「a 4」と乗算係数 δ である $W 5$ とを乗算し、式 (1) における「 $W 5 * (X (2 n - 1) + X (2 n + 1))$ 」を実行する。一方、注目画素が奇数列の画素である場合は、加算結果「a 4」と乗算係数 δ である $-W 6$ とを乗算し、式 (2) における「 $-W 6 * (X (2 n) + X (2 n + 2))$ 」を実行する。この乗算器 2 3₄ による乗算結果「MP Y 4」は F F 1 7 にセットされる。

【 0 0 7 0 】

乗算器 2 3₅ は、注目画素が偶数列の画素である場合は、F F 1 3 の出力と乗算係数 ε である $W 7$ とを乗算し、式 (1) における「 $W 7 * X (2 n)$ 」を実行する。一方、注目画素が奇数列の画素である場合は、F F 1 3 の出力と乗算係数 ε である $W 8$ とを乗算し、式 (2) における「 $W 8 * X (2 n + 1)$ 」を実行する。この乗算器 2 3₅ による乗算結果「MP Y 5」は F F 1 8 にセットされる。

【 0 0 7 1 】

加減算部 2 5 におけるセレクタ 2 5₅ は、制御部 3 0 からウェーブレット変換を実行する旨が指示されることにより、F F 1 8 の出力を加算器 2 5₂ に送るように制御される。従って、加減算部 2 5 では、加算器 2 5₁ ~ 2 5₄ により、F F 1 4 ~ F F 1 8 からの MP Y 1 ~ MP Y 5 を加減算することにより、注目画素が偶数列の画素である場合は式 (1) に示す各項の加減算を行って $Y (2 n)$ を算出する。一方、注目画素が奇数列の画素である場合は式 (2) に示す各項の加減算を行って $Y (2 n + 1)$ を算出する。この加減算部 2 5 における加減算結果 $Y (2 n)$ 又は $Y (2 n + 1)$ は、F F 1 9 にセットされる。

【 0 0 7 2 】

F F 1 9 にセットされた加算減結果 $Y (2 n)$ 又は $Y (2 n + 1)$ は、リミッタ 2 6 で所定範囲の値に制限を加えられ F F 2 0 にセットされる。この F F 2 0

にセットされた内容が、注目画素のウェーブレット変換の結果として外部に送出される。以上は、1つの注目画素に対する動作であるが、この動作を列方向の全ての画素及び行方向の全ての画素に対して実施することにより、2次元のウェーブレット変換が実現される。

【 0 0 7 3 】

(1-2) 非可逆 9×7 フィルタを用いたウェーブレット変換の逆変換

以上は非可逆 9×7 フィルタを用いて逆変換を行う場合は、上述した式 (3) 及び (4) が実現されるように画像制御装置の各部が制御されることを除けば、上述した動作と略同じであるので、説明は省略する。

【 0 0 7 4 】

(1-3) 離散コサイン変換の順変換

次に、離散コサイン変換の動作を説明する。まず、順変換の場合を、図4～図6に示すタイミングチャートを参照しながら説明する。

【 0 0 7 5 】

まず、外部からの画素データ $f_0 \sim f_7$ が、クロック信号に同期して、クロック期間 CLK (以下、単に「CLK」と記す) 1～9で、記憶部11を構成するシフトレジスタに順次シフトインされる。そして、CLK 9で、8個の画素データ $f_0 \sim f_7$ が $FF_0 \sim FF_7$ にセットされた状態になる。この状態で、偶数列の画素及び奇数列の画素の順変換の動作が開始される。なお、以下では、説明を簡単にするために、1つの偶数列の画素データの変換が行われた後、引き続いて1つの奇数列の変換が行われる場合の例を挙げて説明する。

【 0 0 7 6 】

制御部30は、CLK 9で、離散コサイン変換の順変換のCLK 9のステージである旨の制御信号 S1 を並び替え回路12に送る。これにより、並び替え回路12は、画素データ m_5 及び m_6 として画素データ f_0 及び f_7 をそれぞれ出力する。加算器21₃は、画素データ m_5 と m_6 との加算、つまり、式 (9) 中の「 $a_0 = f_0 + f_7$ 」を計算する。この計算結果は、CLK 9の終わりで FF_1 にセットされる。なお、図4～図6中の「*」印は無意味なデータであることを表し、「x0」はゼロが出力されることを表す。

【0077】

次に、CLK10では、並び替え回路12は、制御部30からのCLK10のステージである旨の制御信号S1に従って、画素データm5及びm6として画素データf1及びf6をそれぞれ出力する。加算器21₃は、画素データm5とm6との加算、つまり、式(9)中の「 $a1 = f1 + f6$ 」を計算する。この計算結果は、CLK10の終わりでFF11にセットされる。

【0078】

また、CLK10では、乗算器23₃は、FF11にセットされている「 $a0 = f0 + F7$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算し、式(10)における「 $a0 * D3$ 」を実行する。この乗算結果は、CLK10の終わりでFF16にセットされる。また、CLK10の終わりで、FF14、FF15及びFF17がゼロにクリアされる。

【0079】

次に、CLK11では、並び替え回路12は、制御部30からのCLK11のステージである旨の制御信号S1に従って、画素データm5及びm6として画素データf2及びf5をそれぞれ出力する。加算器21₃は、画素データm5とm6との加算、つまり、式(9)中の「 $a2 = f2 + f5$ 」を計算する。この計算結果は、CLK11の終わりでFF11にセットされる。

【0080】

また、CLK11では、乗算器23₃は、FF11にセットされている「 $a1 = f1 + f6$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算し、式(10)における「 $a1 * D3$ 」を実行する。この乗算結果は、CLK11の終わりでFF16にセットされる。また、CLK11の終わりで、FF14、FF15及びFF17は、ゼロにクリアされる。

【0081】

更に、加減算部25は、FF14～FF17及びセレクタ25₅の各出力を加算してFF19にセットする。この場合、セレクタ25₅の出力はFF19の内容(初期状態でゼロにクリアされている)であり、且つFF14、FF15及びFF17の出力はゼロであるので、FF16の出力、つまり「 $a0 * D3$ 」がC

L K 1 1 の終わりで F F 1 9 にセットされる。

【0082】

次に、C L K 1 2 では、並び替え回路 1 2 は、制御部 3 0 からの C L K 1 2 のステージである旨の制御信号 S 1 に従って、画素データ m 5 及び m 6 として画素データ f 3 及び f 4 をそれぞれ出力する。加算器 2 1₃ は、画素データ m 5 と m 6 との加算、つまり、式 (9) 中の「 $a_3 = f_3 + f_4$ 」を計算する。この計算結果は、C L K 1 2 の終わりで F F 1 1 にセットされる。

【0083】

また、C L K 1 2 では、乗算器 2 3₃ は、F F 1 1 にセットされている「 $a_2 = f_2 + f_5$ 」と制御部 3 0 から乗算係数 γ として与えられる「D 3」とを乗算し、式 (10) における「 $a_2 * D_3$ 」を実行する。この乗算結果は、C L K 1 2 の終わりで F F 1 6 にセットされる。また、C L K 1 2 の終わりで、F F 1 4、F F 1 5 及び F F 1 7 は、ゼロにクリアされる。

【0084】

また、加減算部 2 5 は、F F 1 4 ~ F F 1 7 及びセクタ 2 5₅ の各出力を加算して F F 1 9 にセットする。この場合、セクタ 2 5₅ の出力は F F 1 9 の内容であり、且つ F F 1 4、F F 1 5 及び F F 1 7 の出力はゼロであるので、F F 1 9 の内容「 $a_0 * D_3$ 」に F F 1 6 の内容「 $a_1 * D_3$ 」が加算された結果、つまり「 $(a_0 + a_1) * D_3$ 」が、C L K 1 2 の終わりで F F 1 9 にセットされる。更に、F F 1 9 にセットされていた「 $a_0 * D_3$ 」は、C L K 1 2 の終わりで F F 2 0 にシフトされる。

【0085】

次に、C L K 1 3 では、並び替え回路 1 2 は、制御部 3 0 からの C L K 1 3 のステージである旨の制御信号 S 1 に従って、画素データ m 5 及び m 6 として画素データ f 0 及び f 7 をそれぞれ出力する。加算器 2 1₃ は、画素データ m 5 と m 6 との加算、つまり、式 (9) 中の「 $a_0 = f_0 + f_7$ 」を計算する。この計算結果は、C L K 1 3 の終わりで F F 1 1 にセットされる。

【0086】

また、C L K 1 3 では、乗算器 2 3₃ は、F F 1 1 にセットされている「 a_3

$= f_3 + f_4$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算し、式(10)における「 $a_3 * D_3$ 」を実行する。この乗算結果は、CLK13の終わりでFF16にセットされる。また、CLK13の終わりで、FF14、FF15及びFF17はゼロにクリアされる。

【0087】

また、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅の出力はFF19の内容であり、且つFF14、FF15及びFF17の出力はゼロであるので、FF19の内容「 $(a_0 + a_1) * D_3$ 」にFF16の内容「 $a_2 * D_3$ 」が加算された結果、つまり「 $(a_0 + a_1 + a_2) * D_3$ 」が、CLK13の終わりでFF19にセットされる。更に、FF19にセットされていた「 $(a_0 + a_1) * D_3$ 」は、CLK13の終わりでFF20にシフトされる。

【0088】

次に、CLK14では、並び替え回路12は、制御部30からのCLK14のステージである旨の制御信号S1に従って、画素データm5及びm6として画素データf1及びf6をそれぞれ出力する。加算器21₃は、画素データm5とm6との加算、つまり、式(9)中の「 $-a_1 = -(f_1 + f_6)$ 」を計算する。この計算結果は、CLK14の終わりでFF11にセットされる。

【0089】

また、CLK14では、乗算器23₃は、FF11にセットされている「 $a_0 = f_0 + f_7$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算し、式(10)における「 $a_0 * D_3$ 」を実行する。この乗算結果は、CLK14の終わりでFF16にセットされる。また、CLK14の終わりで、FF14、FF15及びFF17はゼロにクリアされる。

【0090】

また、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅の出力はFF19の内容であり、且つFF14、FF15及びFF17の出力はゼロであるので、FF19の内容「 $(a_0 + a_1 + a_2) * D_3$ 」にFF16の内容「 $a_3 * D_3$ 」を

加算した結果、つまり「 $(a_0 + a_1 + a_2 + a_3) * D_3$ 」がCLK14の終わりでFF19にセットされる。更に、FF19にセットされていた「 $(a_0 + a_1 + a_2) * D_3$ 」は、CLK14の終わりでFF20にシフトされる。

【0091】

次に、CLK15では、並び替え回路12は、制御部30からのCLK15のステージである旨の制御信号S1に従って、画素データm5及びm6として画素データf2及びf5をそれぞれ出力する。加算器21₃は、画素データm5とm6との加算、つまり、式(9)中の「 $-a_2 = -(f_2 + f_5)$ 」を計算する。この計算結果は、CLK15の終わりでFF11にセットされる。

【0092】

また、CLK15では、乗算器23₃は、FF11にセットされている「 $-a_1 = -(f_1 + f_6)$ 」と制御部30から乗算係数 γ として与えられる「 D_3 」とを乗算し、式(10)における「 $-a_1 * D_3$ 」を実行する。この乗算結果は、CLK15の終わりでFF16にセットされる。また、CLK15の終わりで、FF14、FF15及びFF17がゼロにクリアされる。

【0093】

また、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅の出力はゼロになるように制御され、且つFF14、FF15及びFF17の出力はゼロであるので、FF16の内容、つまり「 $a_0 * D_3$ 」がCLK15の終わりでFF19にセットされる。

【0094】

更に、FF19にセットされていた「 $(a_0 + a_1 + a_2 + a_3) * D_3$ 」は、CLK15の終わりでFF20にシフトされる。これにより、次のCLK16のステージで、「 $F_0 = a_0 + a_1 + a_2 + a_3) * D_3$ 」が出力端子から外部に出力される。

【0095】

次に、CLK16では、並び替え回路12は、制御部30からのCLK16のステージである旨の制御信号S1に従って、画素データm5及びm6として画素

データ f_3 及び f_4 をそれぞれ出力する。加算器 21_3 は、画素データ m_5 と m_6 との加算、つまり、式 (9) 中の「 $a_3 = f_3 + f_4$ 」を計算する。この計算結果は、CLK16の終わりでFF11にセットされる。

【0096】

また、CLK16では、乗算器 23_3 は、FF11にセットされている「 $-a_2 = -(f_2 + f_5)$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算し、式 (10) における「 $-a_2 * D3$ 」を実行する。この乗算結果は、CLK16の終わりでFF16にセットされる。また、CLK16の終わりで、FF14、FF15及びFF17がゼロにクリアされる。

【0097】

また、加減算部25は、FF14～FF17及びセレクタ 25_5 の各出力を加算してFF19にセットする。この場合、セレクタ 25_5 の出力はFF19の内容であり、且つFF14、FF15及びFF17の出力はゼロであるので、FF19の内容「 $a_0 * D3$ 」にFF16の内容「 $-a_1 * D3$ 」が加算された結果、つまり「 $(a_0 - a_1) * D3$ 」がCLK16の終わりでFF19にセットされる。また、FF19にセットされていた「 $a_0 * D3$ 」は、CLK16の終わりでFF20にシフトされる。

【0098】

次に、CLK17では、並び替え回路12は、制御部30からのCLK17のステージである旨の制御信号S1に従って、画素データ m_1 及び m_2 として画素データ f_0 及び f_7 を出力し、画素データ m_3 及び m_4 として画素データ f_1 及び f_6 を出力する。加算器 21_1 は、画素データ m_1 と m_2 との加算、つまり、式 (9) 中の「 $a_0 = f_0 + f_7$ 」を計算する。この計算結果は、CLK17の終わりでFF9にセットされる。また、加算器 21_2 は、画素データ m_3 と m_4 との加算、つまり、式 (9) 中の「 $a_1 = f_1 + f_6$ 」を計算する。この計算結果は、CLK17の終わりでFF10にセットされる。

【0099】

また、CLK17では、乗算器 23_3 は、FF11にセットされている「 $a_3 = f_3 + f_4$ 」と制御部30から乗算係数 γ として与えられる「D3」とを乗算

し、式(10)における「 $a_3 * D_3$ 」を実行する。この乗算結果は、CLK17の終わりでFF16にセットされる。また、CLK17の終わりで、FF14、FF15及びFF17はゼロにクリアされる。

【0100】

また、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅の出力はFF19の内容であり、且つFF14、FF15及びFF17の出力はゼロであるので、FF19の内容「 $(a_0 - a_1) * D_3$ 」にFF16の内容「 $-a_2 * D_3$ 」を加算した結果、つまり「 $(a_0 - a_1 - a_2) * D_3$ 」がCLK17の終わりでFF19にセットされる。更に、FF19にセットされていた「 $(a_0 - a_1) * D_3$ 」は、CLK17の終わりでFF20にシフトされる。

【0101】

次に、CLK18では、並び替え回路12は、制御部30からのCLK18のステージである旨の制御信号S1に従って、画素データm1及びm2として画素データf3及びf4を出力し、画素データm3及びm4として画素データf2及びf5を出力する。加算器21₁は、画素データm1とm2との加算、つまり、式(9)中の「 $-a_3 = -(f_3 + f_4)$ 」を計算する。この計算結果は、CLK18の終わりでFF9にセットされる。また、加算器21₂は、画素データm3とm4との加算、つまり、式(9)中の「 $-a_2 = -(f_2 + f_5)$ 」を計算する。この計算結果は、CLK18の終わりでFF10にセットされる。

【0102】

また、CLK18では、乗算器23₁は、FF9にセットされている「 $a_0 = f_0 + f_7$ 」と制御部30から乗算係数 α として与えられる「D5」とを乗算し、式(10)における「 $a_0 * D_5$ 」を実行する。この乗算結果は、CLK18の終わりでFF14にセットされる。乗算器23₂は、FF10にセットされている「 $a_1 = f_1 + f_6$ 」と制御部30から乗算係数 β として与えられる「D1」とを乗算し、式(10)における「 $a_1 * D_1$ 」を実行する。この乗算結果は、CLK18の終わりでFF15にセットされる。また、CLK18の終わりで、FF16及びFF17はゼロにクリアされる。

【0103】

また、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はFF19の出力を選択するように制御されており、且つFF14、FF15及びFF17の出力はゼロであるので、FF19の内容「 $(a_0 - a_1 - a_2) * D_3$ 」にFF16の内容「 $a_3 * D_3$ 」を加算した結果、つまり「 $(a_0 - a_1 - a_2 + a_3) * D_3$ 」がCLK18の終わりでFF19にセットされる。更に、FF19にセットされていた「 $(a_0 - a_1 - a_2) * D_3$ 」はCLK18の終わりでFF20にシフトされる。

【0104】

次に、CLK19では、並び替え回路12は、制御部30からのCLK19のステージである旨の制御信号S1に従って、画素データm1及びm2として画素データf1及びf6を出力し、画素データm3及びm4として画素データf0及びf7を出力する。加算器21₁は、画素データm1とm2との加算、つまり、式(9)中の「 $-a_1 = -(f_1 + f_6)$ 」を計算する。この計算結果は、CLK19の終わりでFF9にセットされる。また、加算器21₂は、画素データm3とm4との加算、つまり、式(9)中の「 $a_0 = f_0 + f_7$ 」を計算する。この計算結果は、CLK19の終わりでFF10にセットされる。

【0105】

また、CLK19では、乗算器23₁は、FF9にセットされている「 $-a_3 = -(f_3 + f_4)$ 」と制御部30から乗算係数 α として与えられる「D5」とを乗算し、式(10)における「 $-a_3 * D_5$ 」を実行する。この乗算結果は、CLK19の終わりでFF14にセットされる。乗算器23₂は、FF10にセットされている「 $-a_2 = -(f_2 + f_5)$ 」と制御部30から乗算係数 β として与えられる「D1」とを乗算し、式(10)における「 $-a_2 * D_1$ 」を実行する。この乗算結果は、CLK19の終わりでFF15にセットされる。また、CLK19の終わりで、F16及びFF17はゼロにクリアされる。

【0106】

また、CLK19では、加減算部25は、FF14～FF17及びセクタ2

5₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はFF19はゼロを出力するように制御されており、且つFF16及びFF17の出力はゼロであるので、FF14の内容「 $a_0 * D_5$ 」とFF15の内容「 $a_1 * D_1$ 」を加算した結果、つまり「 $a_0 * D_5 + a_1 * D_1$ 」がFF19にセットされる。

【0107】

更に、FF19にセットされていた「 $(a_0 - a_1 - a_2 + a_3) * D_3$ 」はCLK19の終わりでFF20にシフトされる。これにより、次のCLK20のステージで、「 $F_4 = a_0 - a_1 - a_2 + a_3$ 」が出力端子から外部に出力される。

【0108】

次に、CLK20では、並び替え回路12は、制御部30からのCLK20のステージである旨の制御信号S1に従って、画素データm1及びm2として画素データf2及びf5を出力し、画素データm3及びm4として画素データf3及びf4を出力する。加算器21₁は、画素データm1とm2との加算、つまり、式(9)中の「 $a_2 = f_2 + f_5$ 」を計算する。この計算結果は、CLK20の終わりでFF9にセットされる。また、加算器21₂は、画素データm3とm4との加算、つまり、式(9)中の「 $-a_3 = -(f_3 + f_4)$ 」を計算する。この計算結果は、CLK20の終わりでFF10にセットされる。

【0109】

また、CLK20では、乗算器23₁は、FF9にセットされている「 $-a_1 = -(f_1 + f_6)$ 」と制御部30から乗算係数 α として与えられる「 D_5 」とを乗算し、式(10)における「 $-a_1 * D_5$ 」を実行する。この乗算結果は、CLK20の終わりでFF14にセットされる。また、乗算器23₂は、FF10にセットされている「 $a_0 = f_0 + f_7$ 」と制御部30から乗算係数 β として与えられる「 D_1 」とを乗算し、式(10)における「 $a_0 * D_1$ 」を実行する。この乗算結果は、CLK20の終わりでFF15にセットされる。また、CLK20の終わりで、FF16及びFF17はゼロにクリアされる。

【0110】

加減算部 25 は、FF14～FF17 及びセクタ 25₅ の各出力を加算して FF19 にセットする。この場合、セクタ 25₅ はゼロを出力するように制御されており、且つ FF16 及び FF17 の出力はゼロであるので、FF19 の内容「 $a_0 * D_5 + a_1 * D_1$ 」に FF14 の内容「 $-a_3 * D_5$ 」及び FF15 の内容「 $-a_2 * D_1$ 」を加算した結果、つまり「 $(a_0 - a_3) * D_5 + (a_1 - a_2) * D_1$ 」が CLK20 の終わりで FF19 にセットされる。更に、CLK20 では、FF19 にセットされていた「 $a_0 * D_5 + a_1 * D_1$ 」は FF20 にシフトされる。

【0111】

次に、CLK21 では、並び替え回路 12 は、制御部 30 からの CLK21 のステージである旨の制御信号 S1 に従って、画素データ m1 及び m2 として画素データ f0 及び f7 を出力し、画素データ m3 及び m4 として画素データ f1 及び f6 を出力し、画素データ m5 及び m6 として画素データ f2 及び f5 を出力し、画素データ m7 及び m8 として画素データ f3 及び f4 を出力する。加算器 21₁ は、画素データ m1 と m2 との加算、つまり、式 (9) 中の「 $a_4 = f_0 - f_7$ 」を計算する。この計算結果は、CLK21 の終わりで FF9 にセットされる。また、加算器 21₂ は、画素データ m3 と m4 との加算、つまり、式 (9) 中の「 $a_5 = f_1 - f_6$ 」を計算する。この計算結果は、CLK21 の終わりで FF10 にセットされる。また、加算器 21₃ は、画素データ m5 と m6 との加算、つまり、式 (9) 中の「 $a_6 = f_2 - f_5$ 」を計算する。この計算結果は、CLK21 の終わりで FF11 にセットされる。また、加算器 21₄ は、画素データ m7 と m8 との加算、つまり、式 (9) 中の「 $a_7 = f_3 - f_4$ 」を計算する。この計算結果は、CLK21 の終わりで FF12 にセットされる。

【0112】

また、CLK21 では、乗算器 23₁ は、FF9 にセットされている「 $a_2 = f_2 + f_5$ 」と制御部 30 から乗算係数 α として与えられる「 D_5 」とを乗算し、式 (10) における「 $a_2 * D_5$ 」を実行する。この乗算結果は、CLK21 の終わりで FF14 にセットされる。また、乗算器 23₂ は、FF10 にセットされている「 $-a_3 = -(f_3 + f_4)$ 」と制御部 30 から乗算係数 β として与

えられる「D1」とを乗算し、式(10)における「 $-a_3 * D_1$ 」を実行する。この乗算結果は、CLK21の終わりでFF15にセットされる。また、CLK21の終わりで、F16及びFF17はゼロにクリアされる。

【0113】

また、CLK21では、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はゼロを出力するように制御されており、且つFF16及びFF17の出力はゼロであるので、FF14の内容「 $-a_1 * D_5$ 」及びFF15の内容「 $a_0 * D_1$ 」を加算した結果、つまり「 $-a_1 * D_5 + a_0 * D_1$ 」がCLK20の終わりでFF19にセットされる。

【0114】

更に、CLK21では、FF19にセットされていた「 $(a_0 - a_3) * D_5 + (a_1 - a_2) * D_1$ 」はCLK20の終わりでFF20にシフトされる。これにより、次のCLK22のステージで、「 $F_2 = (a_0 - a_3) * D_5 + (a_1 - a_2) * D_1$ 」が出力端子から外部に出力される。

【0115】

次に、CLK22では、並び替え回路12は、制御部30からのCLK22のステージである旨の制御信号S1に従って、画素データm1及びm2として画素データf2及びf5を出力し、画素データm3及びm4として画素データf0及びf7を出力し、画素データm5及びm6として画素データf3及びf4を出力し、画素データm7及びm8として画素データf1及びf6を出力する。加算器21₁は、画素データm1とm2との加算、つまり、式(9)中の「 $-a_6 = -(f_2 - f_5)$ 」を計算する。この計算結果は、CLK22の終わりでFF9にセットされる。また、加算器21₂は、画素データm3とm4との加算、つまり、式(9)中の「 $a_4 = f_0 - f_7$ 」を計算する。この計算結果は、CLK22の終わりでFF10にセットされる。また、加算器21₃は、画素データm5とm6との加算、つまり、式(9)中の「 $-a_7 = -(f_3 - f_4)$ 」を計算する。この計算結果は、CLK22の終わりでFF11にセットされる。また、加算器21₄は、画素データm7とm8との加算、つまり、式(9)中の「 $-a_5 =$

「 $f_1 - f_6$ 」を計算する。この計算結果は、CLK 22の終わりでFF 12にセットされる。

【0116】

また、CLK 22では、乗算器23₁は、FF 9にセットされている「 $a_4 = f_0 - f_7$ 」と制御部30から乗算係数 α として与えられる「D6」とを乗算し、式(11)における「 $a_4 * D_6$ 」を実行する。この乗算結果は、CLK 22の終わりでFF 14にセットされる。また、乗算器23₂は、FF 10にセットされている「 $a_5 = f_1 - f_6$ 」と制御部30から乗算係数 β として与えられる「D4」とを乗算し、式(11)における「 $a_5 * D_4$ 」を実行する。この乗算結果は、CLK 22の終わりでFF 15にセットされる。また、乗算器23₃は、FF 11にセットされている「 $a_6 = f_2 - f_5$ 」と制御部30から乗算係数 γ として与えられる「D2」とを乗算し、式(11)における「 $a_6 * D_2$ 」を実行する。この乗算結果は、CLK 22の終わりでFF 16にセットされる。また、乗算器23₄は、FF 12にセットされている「 $a_7 = f_3 - f_4$ 」と制御部30から乗算係数 δ として与えられる「D0」とを乗算し、式(11)における「 $a_7 * D_0$ 」を実行する。この乗算結果は、CLK 22の終わりでFF 17にセットされる。

【0117】

また、CLK 22では、加減算部25は、FF 14～FF 17及びセクタ25₅の各出力を加算してFF 19にセットする。この場合、セクタ25₅はFF 19の内容を出力するように制御されており、且つFF 16及びFF 17の出力はゼロであるので、FF 19の内容「 $-a_1 * D_5 + a_0 * D_1$ 」にFF 14の内容「 $a_2 * D_5$ 」及びFF 15の内容「 $-a_3 * D_1$ 」を加算した結果、つまり「 $(-a_1 + a_2) * D_5 + (a_0 - a_3) * D_1$ 」がCLK 22の終わりでFF 19にセットされる。更に、CLK 22では、FF 19にセットされていた「 $-a_1 * D_5 + a_0 * D_1$ 」はCLK 22の終わりでFF 20にシフトされる。

【0118】

次に、CLK 23では、並び替え回路12は、制御部30からのCLK 23の

ステージである旨の制御信号 S 1 に従って、画素データ m 1 及び m 2 として画素データ f 1 及び f 6 を出力し、画素データ m 3 及び m 4 として画素データ f 3 及び f 4 を出力し、画素データ m 5 及び m 6 として画素データ f 0 及び f 7 を出力し、画素データ m 7 及び m 8 として画素データ f 2 及び f 5 を出力する。

【 0 1 1 9 】

また、CLK 2 3 では、加算器 2 1₁ は、画素データ m 1 と m 2 との加算、つまり、式 (9) 中の「 $-a_5 = -(f_1 - f_6)$ 」を計算する。この計算結果は、CLK 2 3 の終わりで FF 9 にセットされる。また、加算器 2 1₂ は、画素データ m 3 と m 4 との加算、つまり、式 (9) 中の「 $a_7 = f_3 - f_4$ 」を計算する。この計算結果は、CLK 2 3 の終わりで FF 1 0 にセットされる。また、加算器 2 1₃ は、画素データ m 5 と m 6 との加算、つまり、式 (9) 中の「 $a_4 = f_0 - f_7$ 」を計算する。この計算結果は、CLK 2 3 の終わりで FF 1 1 にセットされる。また、加算器 2 1₄ は、画素データ m 7 と m 8 との加算、つまり、式 (9) 中の「 $a_6 = f_2 - f_5$ 」を計算する。この計算結果は、CLK 2 3 の終わりで FF 1 7 にセットされる。

【 0 1 2 0 】

また、CLK 2 3 では、乗算器 2 3₁ は、FF 9 にセットされている「 $-a_6 = -(f_2 - f_5)$ 」と制御部 3 0 から乗算係数 α として与えられる「D 6」とを乗算し、式 (1 1) における「 $-a_6 * D_6$ 」を実行する。この乗算結果は、CLK 2 3 の終わりで FF 1 4 にセットされる。また、乗算器 2 3₂ は、FF 1 0 にセットされている「 $a_0 = f_0 - f_7$ 」と制御部 3 0 から乗算係数 β として与えられる「D 4」とを乗算し、式 (1 1) における「 $a_4 * D_4$ 」を実行する。この乗算結果は、CLK 2 3 の終わりで FF 1 5 にセットされる。また、乗算器 2 3₃ は、FF 1 1 にセットされている「 $-a_7 = -(f_3 - f_4)$ 」と制御部 3 0 から乗算係数 γ として与えられる「D 2」とを乗算し、式 (1 1) における「 $-a_7 * D_2$ 」を実行する。この乗算結果は、CLK 2 3 の終わりで FF 1 6 にセットされる。また、乗算器 2 3₄ は、FF 1 2 にセットされている「 $-a_5 = -(f_1 - f_6)$ 」と制御部 3 0 から乗算係数 δ として与えられる「D 0」とを乗算し、式 (1 1) における「 $-a_5 * D_0$ 」を実行する。この乗算結果は

、CLK 2 3 の終わりでFF 1 5 にセットされる。

【0 1 2 1】

また、CLK 2 3 では、加減算部 2 5 は、FF 1 4 ～FF 1 7 及びセクタ 2 5₅ の各出力を加算してFF 1 9 にセットする。この場合、セクタ 2 5₅ はゼロを出力するように制御されているので、FF 1 4 の内容「 $a_4 * D_6$ 」、FF 1 5 の内容「 $a_5 * D_4$ 」、FF 1 6 の内容「 $a_6 * D_2$ 」及びFF 1 7 の内容「 $a_7 * D_0$ 」を加算した結果、つまり「 $a_4 * D_6 + a_5 * D_4 + a_6 * D_2 + a_7 * D_0$ 」がCLK 2 3 の終わりでFF 1 9 にセットされる。

また、FF 1 9 にセットされていた「 $(-a_1 + a_2) * D_5 + (a_0 - a_3) * D_1$ 」はCLK 2 3 の終わりでFF 2 0 にシフトされる。これにより、次のCLK 2 4 のステージで、「 $F_6 = (-a_1 + a_2) * D_5 + (a_0 - a_3) * D_1$ 」が出力端子から外部に出力される。

【0 1 2 2】

次に、CLK 2 4 では、並び替え回路 1 2 は、制御部 3 0 からのCLK 2 4 のステージである旨の制御信号 S 1 に従って、画素データ m 1 及び m 2 として画素データ f 3 及び f 4 を出力し、画素データ m 3 及び m 4 として画素データ f 2 及び f 5 を出力し、画素データ m 5 及び m 6 として画素データ f 1 及び f 6 を出力し、画素データ m 7 及び m 8 として画素データ f 0 及び f 7 を出力する。加算器 2 1₁ は、画素データ m 1 と m 2 との加算、つまり、式 (9) 中の「 $-a_7 = -(f_3 - f_4)$ 」を計算する。この計算結果は、CLK 2 4 の終わりでFF 9 にセットされる。また、加算器 2 1₂ は、画素データ m 3 と m 4 との加算、つまり、式 (9) 中の「 $a_6 = f_2 - f_5$ 」を計算する。この計算結果は、CLK 2 4 の終わりでFF 1 0 にセットされる。また、加算器 2 1₃ は、画素データ m 5 と m 6 との加算、つまり、式 (9) 中の「 $-a_5 = f_1 - f_6$ 」を計算する。この計算結果は、CLK 2 4 の終わりでFF 1 1 にセットされる。また、加算器 2 1₄ は、画素データ m 7 と m 8 との加算、つまり、式 (9) 中の「 $a_4 = f_0 - f_7$ 」を計算する。この計算結果は、CLK 2 4 の終わりでFF 1 7 にセットされる。

【0 1 2 3】

また、CLK24では、乗算器23₁は、FF9にセットされている「 $-a_5 = -(f_1 - f_6)$ 」と制御部30から乗算係数 α として与えられる「D6」とを乗算し、式(11)における「 $-a_5 * D_6$ 」を実行する。この乗算結果は、CLK24の終わりでFF14にセットされる。また、乗算器23₂は、FF10にセットされている「 $a_7 = f_3 - f_4$ 」と制御部30から乗算係数 β として与えられる「D4」とを乗算し、式(11)における「 $a_7 * D_4$ 」を実行する。この乗算結果は、CLK24の終わりでFF15にセットされる。また、乗算器23₃は、FF11にセットされている「 $a_4 = f_0 - f_7$ 」と制御部30から乗算係数 γ として与えられる「D2」とを乗算し、式(11)における「 $a_4 * D_2$ 」を実行する。この乗算結果は、CLK24の終わりでFF16にセットされる。また、乗算器23₄は、FF12にセットされている「 $a_6 = f_2 - f_5$ 」と制御部30から乗算係数 δ として与えられる「D0」とを乗算し、式(11)における「 $a_6 * D_0$ 」を実行する。この乗算結果は、CLK24の終わりでFF15にセットされる。

【0124】

また、CLK24では、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はゼロを出力するように制御されているので、FF14の内容「 $-a_6 * D_6$ 」、FF15の内容「 $a_4 * D_4$ 」、FF16の内容「 $-a_7 * D_2$ 」及びFF17の内容「 $-a_5 * D_0$ 」を加算した結果、つまり「 $-a_6 * D_6 + a_4 * D_4 - a_7 * D_2 - a_5 * D_0$ 」がCLK24の終わりでFF19にセットされる。

【0125】

更に、CLK24では、FF19にセットされていた「 $a_4 * D_6 + a_5 * D_4 + a_6 * D_2 + a_7 * D_0$ 」はCLK24の終わりでFF20にシフトされる。これにより、次のCLK25のステージで、「 $F_1 = a_4 * D_6 + a_5 * D_4 + a_6 * D_2 + a_7 * D_0$ 」が出力端子から外部に出力される。

【0126】

次に、CLK25では、並び替え回路12は、制御部30からのCLK25のステージである旨の制御信号S1に従って、次の画素データm1～m8を出力す

るが記載を省略してある。

【0 1 2 7】

また、CLK 2 4では、乗算器2 3₁は、FF 9にセットされている「 $-a_7 = -(f_3 - f_4)$ 」と制御部3 0から乗算係数 α として与えられる「D 6」とを乗算し、式(1 1)における「 $-a_7 * D_6$ 」を実行する。この乗算結果は、CLK 2 5の終わりでFF 1 4にセットされる。また、乗算器2 3₂は、FF 1 0にセットされている「 $a_6 = f_2 - f_5$ 」と制御部3 0から乗算係数 β として与えられる「D 4」とを乗算し、式(1 1)における「 $a_6 * D_4$ 」を実行する。この乗算結果は、CLK 2 5の終わりでFF 1 5にセットされる。また、乗算器2 3₃は、FF 1 1にセットされている「 $-a_5 = f_1 - f_6$ 」と制御部3 0から乗算係数 γ として与えられる「D 2」とを乗算し、式(1 1)における「 $-a_5 * D_2$ 」を実行する。この乗算結果は、CLK 2 5の終わりでFF 1 6にセットされる。また、乗算器2 3₄は、FF 1 2にセットされている「 $a_4 = f_0 - f_7$ 」と制御部3 0から乗算係数 δ として与えられる「D 0」とを乗算し、式(1 1)における「 $a_4 * D_0$ 」を実行する。この乗算結果は、CLK 2 5の終わりでFF 1 5にセットされる。

【0 1 2 8】

更に、CLK 2 4では、加減算部2 5は、FF 1 4～FF 1 7及びセレクタ2 5₅の各出力を加算してFF 1 9にセットする。この場合、セレクタ2 5₅はゼロを出力するように制御されているので、FF 1 4の内容「 $-a_5 * D_6$ 」、FF 1 5の内容「 $a_7 * D_4$ 」、FF 1 6の内容「 $a_4 * D_2$ 」及びFF 1 7の内容「 $a_6 * D_0$ 」を加算した結果、つまり「 $-a_5 * D_6 + a_7 * D_4 + a_4 * D_2 + a_6 * D_0$ 」がCLK 2 5の終わりでFF 1 9にセットされる。

また、FF 1 9にセットされていた「 $-a_6 * D_6 + a_4 * D_4 - a_7 * D_2 - a_5 * D_0$ 」はCLK 2 5の終わりでFF 2 0にシフトされる。これにより、次のCLK 2 6のステージで、「 $F_3 = -a_6 * D_6 + a_4 * D_4 - a_7 * D_2 - a_5 * D_0$ 」が出力端子から外部に出力される。

【0 1 2 9】

次に、CLK 2 6では、並び替え回路1 2は、制御部3 0からのCLK 2 6の

ステージである旨の制御信号 S_1 に従って、次の画素データ $m_1 \sim m_8$ を出力するが記載は省略する。また、乗算器 $23_1 \sim 23_4$ は、次の画素データに対する演算を行うが記載は省略する。

【 0 1 3 0 】

また、CLK 26 では、加減算部 25 は、FF 14 ~ FF 17 及びセクタ 25₅ の各出力を加算して FF 19 にセットする。この場合、セクタ 25₅ はゼロを出力するように制御されているので、FF 14 の内容「 $-a_7 * D_6$ 」、FF 15 の内容「 $a_6 * D_4$ 」、FF 16 の内容「 $-a_5 * D_2$ 」及び FF 17 の内容「 $a_4 * D_0$ 」を加算した結果、つまり「 $-a_7 * D_6 + a_6 * D_4 - a_5 * D_2 + a_4 * D_0$ 」が CLK 26 の終わりで FF 19 にセットされる。

【 0 1 3 1 】

更に、CLK 26 では、FF 19 にセットされていた「 $-a_5 * D_6 + a_7 * D_4 + a_4 * D_2 + a_6 * D_0$ 」は CLK 26 の終わりで FF 20 にシフトされる。これにより、次の CLK 26 のステージで、「 $F_5 = -a_5 * D_6 + a_7 * D_4 + a_4 * D_2 + a_6 * D_0$ 」が出力端子から外部に出力される。

【 0 1 3 2 】

次に、CLK 27 では、並び替え回路 12 は、制御部 30 からの CLK 26 のステージである旨の制御信号 S_1 に従って、次の画素データ $m_1 \sim m_8$ を出力するが記載は省略する。また、乗算器 $23_1 \sim 23_4$ は、次の画素データに対する演算を行うが記載を省略する。更に、加減算部 25 は、次の画素データに対する演算を行うが記載を省略する。

【 0 1 3 3 】

この CLK 27 では、FF 19 にセットされていた「 $-a_7 * D_6 + a_6 * D_4 - a_5 * D_2 + a_4 * D_0$ 」が CLK 27 の終わりで FF 20 にシフトされる。これにより、次の CLK 28 のステージで、「 $F_7 = -a_7 * D_6 + a_6 * D_4 - a_5 * D_2 + a_4 * D_0$ 」が出力端子から外部に出力される。

【 0 1 3 4 】

(1-4) 離散コサイン変換の逆変換

次に、離散コサイン変換の順変換の動作を、図 7 ~ 図 9 に示すタイミングチャ

ートを参照しながら説明する。

【0135】

この離散コサイン逆変換では、式(13)の左辺の要素「 $(f_0 + f_4) / 2$ 」と式(14)の左辺の要素「 $(f_0 - f_4) / 2$ 」とを加算することにより「 f_0 」が求められる。即ち、「 f_0 」は「 $(f_0 + f_4) / 2 + (f_0 - f_4) / 2$ 」を計算することにより求められる。同様に、「 f_1 」は「 $(f_1 + f_5) / 2 + (f_1 - f_5) / 2$ 」を計算することにより求められる。「 f_2 」は「 $(f_2 + f_6) / 2 + (f_2 - f_6) / 2$ 」を計算することにより求められる。「 f_3 」は「 $(f_3 + f_7) / 2 + (f_3 - f_7) / 2$ 」を計算することにより求められる。「 f_4 」は「 $(f_0 + f_4) / 2 - (f_0 - f_4) / 2$ 」を計算することにより求められる。「 f_5 」は「 $(f_1 + f_5) / 2 - (f_1 - f_5) / 2$ 」を計算することにより求められる。「 f_6 」は「 $(f_2 + f_6) / 2 - (f_2 - f_6) / 2$ 」を計算することにより求められる。「 f_7 」は「 $(f_3 + f_7) / 2 - (f_3 - f_7) / 2$ 」を計算することにより求められる。

【0136】

「 f_0 」～「 f_7 」の各々を算出する場合の動作は略同じであるので、以下では、代表的な動作例として、逆変換により「 f_0 」を求める場合の動作を説明する。

【0137】

先ず、外部から順変換された画素データ $F_0 \sim F_7$ が、CLK1～9で、記憶部11を構成するシフトレジスタに順次シフトインされる。そして、CLK9で、8個の画素データ $F_0 \sim F_7$ が $FF_0 \sim FF_7$ にセットされる。この状態で、逆変換の動作が開始される。

【0138】

制御部30は、CLK9で、離散コサイン変換の逆変換のCLK9のステージである旨の制御信号S1を並び替え回路12に送る。これにより、並び替え回路12は、画素データ m_1 として画素データ F_2 、画素データ m_3 として画素データ F_6 、画素データ m_5 として画素データ F_0 、画素データ m_6 として画素データ F_4 をそれぞれ出力する。加算器21₁は、画素データ m_1 を通過させる。こ

れにより、画素データ F_2 が、式 (13) 中の「 a_2 」として、CLK9の終わりで FF_9 にセットされる。加算器 21_2 は、画素データ m_3 を通過させる。これにより、画素データ F_6 が、式 (13) 中の「 a_1 」として、CLK9の終わりで FF_{10} にセットされる。加算器 21_3 は、画素データ m_5 と m_6 とを加算する。これにより、画素データ F_0 と F_4 との和「 $F_0 + F_4$ 」が、式 (13) 中の「 $a_0 + a_3$ 」として、CLK9の終わりで FF_{11} にセットされる。

【0139】

次に、CLK10では、並び替え回路12は、制御部30からのCLK10のステージである旨の制御信号 S_1 に従って、画素データ m_1 として画素データ F_1 、画素データ m_3 として画素データ F_3 、画素データ m_5 として画素データ F_5 、画素データ m_7 として画素データ F_7 をそれぞれ出力する。加算器 21_1 は、画素データ m_1 を通過させる。これにより、画素データ F_1 が、式 (14) 中の「 a_5 」として、CLK10の終わりで FF_9 にセットされる。加算器 21_2 は、画素データ m_3 を通過させる。これにより、画素データ F_3 が、式 (14) 中の「 a_7 」として、CLK10の終わりで FF_{10} にセットされる。加算器 21_3 は、画素データ m_5 の符号を反転して通過させる。これにより、画素データ F_5 が、式 (14) 中の「 $-a_6$ 」として、CLK10の終わりで FF_{11} にセットされる。加算器 21_4 は、画素データ m_7 を符号を反転して通過させる。これにより、画素データ F_7 が、式 (14) 中の「 $-a_4$ 」として、CLK10の終わりで FF_{12} にセットされる。

【0140】

また、CLK10では、乗算器 23_1 は、 FF_9 にセットされている「 $F_2 (= a_2)$ 」と制御部30から乗算係数 α として与えられる「 D_5 」とを乗算し、式 (13) 中の「 $a_2 * D_5$ 」を算出する。この算出結果は、CLK10の終わりで FF_{14} にセットされる。乗算器 23_2 は、 FF_{10} にセットされている「 $F_6 (= a_1)$ 」と制御部30から乗算係数 β として与えられる「 D_1 」とを乗算し、式 (13) 中の「 $a_1 * D_1$ 」を算出する。この算出結果は、CLK10の終わりで FF_{15} にセットされる。乗算器 23_3 は、 FF_{11} にセットされている「 $F_0 + F_4$ 」と制御部30から乗算係数 γ として与えられる「 D_3 」とを

乗算し、式(13)中の「 $(a_0 + a_3) * D_3$ 」を算出する。この算出結果は、CLK10の終わりでFF16にセットされる。更に、FF17は、CLK10の終わりでゼロにクリアされる。

【0141】

次に、CLK11では、並び替え回路12は、制御部30からのCLK11のステージである旨の制御信号S1に従って、画素データm1として画素データF2、画素データm3として画素データF6、画素データm5として画素データF0、画素データm6として画素データF4をそれぞれ出力する。加算器21₁は、画素データm1を通過させる。これにより、画素データF2が、式(13)中の「 a_2 」として、CLK11の終わりでFF9にセットされる。加算器21₂は、画素データm3を通過させる。これにより、画素データF6が、式(13)中の「 a_1 」として、CLK11の終わりでFF10にセットされる。加算器21₃は、画素データm5とm6とを加算する。これにより、画素データF0とF4との和「 $F_0 + F_4$ 」が、式(13)中の「 $a_0 + a_3$ 」として、CLK11の終わりでFF11にセットされる。

【0142】

また、CLK11では、乗算器23₁は、FF9にセットされている「 $F_1 (= a_5)$ 」と制御部30から乗算係数 α として与えられる「 D_6 」とを乗算し、式(14)中の「 $a_5 * D_6$ 」を算出する。この算出結果は、CLK11の終わりでFF14にセットされる。乗算器23₂は、FF10にセットされている「 $F_3 (= a_7)$ 」と制御部30から乗算係数 β として与えられる「 D_4 」とを乗算し、式(14)中の「 $a_7 * D_4$ 」を算出する。この算出結果は、CLK11の終わりでFF15にセットされる。乗算器23₃は、FF11にセットされている「 $F_5 (= -a_6)$ 」と制御部30から乗算係数 γ として与えられる「 D_2 」とを乗算し、式(14)中の「 $-a_6 * D_2$ 」を算出する。この算出結果は、CLK11の終わりでFF16にセットされる。乗算器23₄は、FF12にセットされている「 $F_7 (= -a_4)$ 」と制御部30から乗算係数 δ として与えられる「 D_0 」とを乗算し、式(14)中の「 $-a_4 * D_0$ 」を算出する。この算出結果は、CLK11の終わりでFF17にセットされる。

【0143】

更に、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅の出力はゼロになるように制御され、且つFF17の出力はゼロである。従って、FF14、FF15、FF16の内容を加算した結果である「 $(a_0 + a_3) * D_3 + a_2 * D_5 + a_1 * D_1$ 」、つまり「 $(f_0 - f_4) / 2$ 」がCLK11の終わりでFF19にセットされる。

【0144】

次に、CLK12では、並び替え回路12は、制御部30からのCLK12のステージである旨の制御信号S1に従って、画素データm1として画素データF1、画素データm3として画素データF3、画素データm5として画素データF5、画素データm7として画素データF7をそれぞれ出力する。加算器21₁は、画素データm1を通過させる。これにより、画素データF1が、式(14)中の「 a_5 」として、CLK12の終わりでFF9にセットされる。加算器21₂は、画素データm3を通過させる。これにより、画素データF3が、式(14)中の「 a_7 」として、CLK12の終わりでFF10にセットされる。加算器21₃は、画素データm5の符号を反転して通過させる。これにより、画素データF5が、式(14)中の「 $-a_6$ 」として、CLK12の終わりでFF11にセットされる。加算器21₄は、画素データm7を符号を反転して通過させる。これにより、画素データF7が、式(14)中の「 $-a_4$ 」として、CLK12の終わりでFF12にセットされる。

【0145】

また、CLK12では、乗算器23₁は、FF9にセットされている「F2 (= a_2)」と制御部30から乗算係数 α として与えられる「D5」とを乗算し、式(13)中の「 $a_2 * D_5$ 」を算出する。この算出結果は、CLK12の終わりでFF14にセットされる。乗算器23₂は、FF10にセットされている「F6 (= a_1)」と制御部30から乗算係数 β として与えられる「D1」とを乗算し、式(13)中の「 $a_1 * D_1$ 」を算出する。この算出結果は、CLK12の終わりでFF15にセットされる。乗算器23₃は、FF11にセットされて

いる「 $F_0 + F_4$ 」と制御部30から乗算係数 γ として与えられる「 D_3 」とを乗算し、式(13)中の「 $(a_0 + a_3) * D_3$ 」を算出する。この算出結果は、CLK12の終わりでFF16にセットされる。

【0146】

また、CLK12では、加減算部25は、FF14～FF17及びセレクタ25₅の各出力を加算してFF19にセットする。この場合、セレクタ25₅は、FF19の内容を出力するように制御される。従って、FF14、FF15、FF16及びFF17の内容を加算した結果である「 $a_5 * D_6 + a_7 * D_4 - a_6 * D_2 - a_4 * D_0$ 」にFF19の内容である「 $(a_0 + a_3) * D_3 + a_2 * D_5 + a_1 * D_1$ 」が加算された結果、つまり「 $(f_0 - f_4) / 2$ 」に「 $(f_0 - f_4) / 2$ 」が加算された結果である「 f_0 」がCLK12の終わりでFF19にセットされる。

【0147】

更に、FF19にセットされていた「 $(a_0 + a_3) * D_3 + a_2 * D_5 + a_1 * D_1$ 」、つまり「 $(f_0 + f_4) / 2$ 」は、CLK12の終わりでFF20にセットされるが、このFF20の内容は使用されない。

【0148】

次に、CLK13では、並び替え回路12は、制御部30からのCLK13のステージである旨の制御信号S1に従って、画素データm1として画素データF6、画素データm3として画素データF2、画素データm5として画素データF0、画素データm6として画素データF4をそれぞれ出力する。これにより、式(13)及び式(14)の2行目を計算するための加算処理が開始される。

【0149】

また、CLK13では、乗算器23₁は、FF9にセットされている「 $F_2 (= a_2)$ 」と制御部30から乗算係数 α として与えられる「 D_5 」とを乗算し、式(13)中の「 $a_2 * D_5$ 」を算出する。この算出結果は、CLK13の終わりでFF14にセットされる。乗算器23₂は、FF10にセットされている「 $F_6 (= a_1)$ 」と制御部30から乗算係数 β として与えられる「 D_1 」とを乗算し、式(13)中の「 $a_1 * D_1$ 」を算出する。この算出結果は、CLK13

の終わりでFF15にセットされる。乗算器23₃は、FF11にセットされている「F0+F4」と制御部30から乗算係数 r として与えられる「D3」とを乗算し、式(13)中の「 $(a0+a3)*D2$ 」を算出する。この算出結果は、CLK13の終わりでFF16にセットされる。乗算器23₄の出力は無視される。

【0150】

また、CLK13では、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はFF19の内容を出力するように制御され、且つFF17の出力はゼロである。従って、FF14、FF15、FF16及びFF19の内容を加算した結果である「 $(a0+a3)*D3+a2*D5+a1*D1$ 」、つまり「 $(f0+f4)/2$ 」がCLK13の終わりでFF19にセットされる。

【0151】

更に、FF19にセットされていた「f0」は、CLK13の終わりでFF20にセットされる。これにより、CLK14において「f0」が外部に送出される。

【0152】

次に、CLK14では、並び替え回路12は、制御部30からのCLK14のステージである旨の制御信号S1に従って、画素データm1として画素データF5、画素データm3として画素データF1、画素データm5として画素データF7、画素データm7として画素データF3それぞれ出力する。これにより、式(13)及び式(14)の2行目を計算するための加算処理が引き続いて、実行される。また、CLK14では、乗算器23₁～23₄は、式(13)及び式(14)の2行目を計算するための乗算処理が実行される。

【0153】

また、CLK14では、加減算部25は、FF14～FF17及びセクタ25₅の各出力を加算してFF19にセットする。この場合、セクタ25₅はFF19の内容の符号を反転して出力するように制御される。従って、FF14、FF15、FF16及びFF17の内容を加算した結果である「 $a5*D6+a7$

*D4 - a6 * D2 - a4 * D0」からFF19の内容である「(a0 + a3) * D3 + a2 * D5 + a1 * D1」を減算した結果、つまり「(f0 - f4) / 2」から「(f0 + f4) / 2」を減算した結果である「f4」がCLK14の終わりでFF19にセットされる。

【0154】

更に、FF19にセットされていた「(a0 + a3) * D3 + a2 * D5 + a1 * D1」、つまり「(f0 + f4) / 2」は、CLK12の終わりでFF20にセットされるが、このFF20の内容は使用されない。

【0155】

次に、クロック15では、FF19にセットされていた「f4」は、CLK15の終わりでFF20にセットされる。これにより、CLK16において「f4」が外部に送出される。以下同様にして、「f1」、「f5」、「f2」、「f6」、「f3」、「f7」が順次出力される。

【0156】

(実施の形態2)

本発明の実施の形態2は、上述した非可逆9×7フィルタを用いたウェーブレット変換及び離散コサイン変換に加え、更に可逆5×3フィルタを用いたウェーブレット変換をも行う画像処理装置を説明する。

【0157】

図10は、実施の形態2に係る画像処理装置の構成を示すブロック図である。なお、図10では、図面の煩雑さを避けるために、非可逆9×7フィルタを用いたウェーブレット変換のための構成の記載は省略されている。

【0158】

この画像処理装置は、図10に示すように、図1に示した実施の形態1の画像処理装置に、符号40で囲む領域に変更が加えられることにより構成されている。即ち、加算器21₁及び21₂の周辺に付加回路(図示しない)が追加されて可逆用回路41が形成されていると共に、セレクタ42～45が追加され、更に、これらの追加に伴って接続が変更されている。

【0159】

可逆用回路 4 1 に含まれる付加回路は、何れも図示を省略するが、加算器 2 1₁ の一方（図 1 0 中の左側）の入力端に設けられて並び替え回路 1 2 からの画素データ m 1、F F 1 4 の出力及び F F 1 5 の出力の何れかを選択するセレクタ、加算器 2 1₁ の他方（図 1 0 中の右側）の入力端に設けられて並び替え回路 1 2 からの画素データ m 2 及び F F 1 5 の出力の何れかを選択するセレクタ、加算器 2 1₁ の出力端に設けられたシフタ、加算器 2 1₂ の一方（図 1 0 中の左側）の入力端に設けられて並び替え回路 1 2 からの画素データ m 3 及び F F 9 の出力の何れかを選択するセレクタ、並びにこのセレクタの出力の 2 の補数をとって加算器 2 1₂ に供給する補数回路が設けられている。

【 0 1 6 0 】

セレクタ 4 2 は F F 1 4 の入力端に設けられ、乗算器 2 3₁ の出力、F F 9 の出力及び F F 1 5 の出力の何れかを選択して F F 1 4 に供給する。セレクタ 4 3 は F F 1 5 の入力端に設けられ、乗算器 2 3₂ の出力及び F F 1 0 の出力の何れかを選択して F F 1 5 に供給する。なお、乗算器 2 3₁ 及び 2 3₂ の出力は、以下で説明する可逆 5 × 3 フィルタを用いたウェーブレット変換では使用されない。

【 0 1 6 1 】

また、セレクタ 4 4 は、F F 1 4 の出力及び F F 1 0 の出力の何れかを選択してセレクタ 4 5 に送る。セレクタ 4 5 は、リミッタ 2 6 と F F 2 0 との間に設けられ、セレクタ 4 4 の出力及びリミッタ 2 6 の出力の何れかを選択して F F 2 0 に送る。このセレクタ 4 5 は、可逆 5 × 3 フィルタを用いたウェーブレット変換が行われる場合は、常にセレクタ 4 4 の出力を選択するように制御される。従って、加算器 2 1₃ 及び 2 1₄、F F 1 1 ~ F F 1 3、乗算器 2 3₃ ~ 2 3₅、F F 1 6 ~ F F 1 8、加算器 2 5₁ ~ 2 5₄、F F 1 9 及びリミッタ 2 6 は、可逆 5 × 3 フィルタを用いたウェーブレット変換では使用されない。

【 0 1 6 2 】

次に、以上のように構成される本発明の実施の形態 2 に係る画像処理装置の動作を説明する。まず、可逆 5 × 3 フィルタを用いたウェーブレット変換の順変換の動作を、図 1 1 に示すタイミングチャートを参照しながら説明する。

【 0 1 6 3 】

先ず、奇数列の画素の変換について説明する。CLK 1では、外部からの画素データが、クロック信号に同期して、記憶部 11 を構成するシフトレジスタに順次シフトインされ、FF 0 ~ FF 6 に画素データ $X(2n-2) \sim X(2n-8)$ がセットされているものとする。この場合、奇数列の画素データ $X(2n-3)$ が注目画素である。なお、図 11 では、動作の説明に必要なフリップフロップのみが示されている。

【0164】

CLK 1では、制御部 30 は、可逆 5×3 フィルタを用いたウェーブレット変換の順変換の CLK 1 のステージである旨の制御信号 S 1 を並び替え回路 12 に送る。これにより、並び替え回路 12 は、画素データ m_1 及び m_2 として画素データ $X(2n-2)$ 及び $X(2n-4)$ をそれぞれ出力する。加算器 21_1 は、画素データ $X(2n-2)$ と $X(2n-4)$ との加算、つまり、式 (5) 中の「 $X(2n) + X(2n+2)$ 」を計算する。この計算結果は、付加回路のシフタで下位方向に 1 ビットだけ右シフトされ、換言すれば、「2」で除算され、式 (5) 中の右辺の「 $[(X(2n) + X(2n+2)) / 2]$ 」が計算される。この計算結果は、CLK 1 の終わりで FF 9 にセットされる。なお、「 $[\]$ 」は、*floor* 関数であることを表す。また、図 11 中の「*」は中間結果であることを表す。

【0165】

次に、CLK 2では、FF 0 ~ FF 6 には画素データ $X(2n-1) \sim X(2n-7)$ がセットされる。制御部 30 は、CLK 2で、可逆 5×3 フィルタを用いたウェーブレット変換の順変換の CLK 2 のステージである旨の制御信号 S 1 を並び替え回路 12 に送る。これにより、並び替え回路 12 は、画素データ m_4 として画素データ $X(2n-3)$ を出力する。加算器 21_2 は、画素データ $X(2n-3)$ から FF 9 の内容を減算する。これにより、式 (5) の右辺が算出され、画素データ $Y(2n-3)$ として CLK 2 の終わりで FF 10 にセットされる。

【0166】

この FF 10 にセットされた画素データ $Y(2n-3)$ は、CLK 3 の終わり

でセレクタ43を介してFF15にセットされる。そして、CLK4の終わりではFF15の内容はそのまま保持され、CLK5の終わりでセレクタ42を介してFF14にセットされる。CLK6の終わりではFF14の内容はそのまま保持され、CLK7の終わりでセレクタ44及び45を介してFF20にセットされる。従って、画素データY(2n-3)は、CLK8で外部に送出される。

【0167】

次に、偶数列の画素の変換について説明する。偶数列の画素の変換は、奇数列の画素の変化によって得られた結果を用いて、以下のようにして実行される。

【0168】

奇数列の画素データX(2n-1)が注目画素である場合は、上記と同様にし、CLK3で、可逆5×3フィルタを用いたウェーブレット変換の順変換のCLK3のステージである旨の制御信号S1を並び替え回路12に送る。これにより、並び替え回路12は、画素データm1及びm2として画素データX(2n)及びX(2n-2)をそれぞれ出力する。加算器21₁は、画素データX(2n)とX(2n-2)との加算、つまり、式(5)中の「X(2n)+X(2n+2)」を計算する。この計算結果は、付加回路のシフタで下位方向に1ビットだけシフトされ、換言すれば、「2」で除算され、式(5)中の右辺の「[(X(2n)+X(2n+2)) / 2]」が計算される。この計算結果は、CLK3の終わりでFF9にセットされる。

【0169】

次に、CLK4では、FF0～FF6には画素データX(2n+1)～X(2n-5)がセットされる。制御部30は、CLK4で、可逆5×3フィルタを用いたウェーブレット変換の順変換のCLK4のステージである旨の制御信号S1を並び替え回路12に送る。これにより、並び替え回路12は、画素データm4として画素データX(2n-1)を出力する。加算器21₂は、画素データX(2n-1)からFF9の内容を減算する。これにより、式(5)の右辺が算出され、画素データY(2n-1)としてCLK4の終わりでFF10にセットされる。このFF10にセットされた画素データY(2n-1)は、CLK5の終わりでセレクタ43を介してFF15にセットされる。

【0170】

上記の状態において、CLK6では、加算器 21_1 は、FF15にセットされている画素データ $Y(2n-1)$ とFF14にセットされている画素データ $Y(2n-3)$ と定数「2」との加算、つまり、式(6)中の「 $Y(2n-1) + Y(2n+1) + 2$ 」を計算する。この計算結果は、付加回路のシフタで下位方向に2ビットだけシフトされ、換言すれば、「4」で除算され、式(5)中の右辺の「 $[(Y(2n-1) + Y(2n+1) + 2) / 2]$ 」が計算される。この計算結果は、CLK6の終わりでFF9にセットされる。

【0171】

次に、CLK7では、FF0～FF6には画素データ $X(2n+4) \sim X(2n-2)$ がセットされている。制御部30は、CLK7で、可逆 5×3 フィルタを用いたウェーブレット変換の順変換のCLK7のステージである旨の制御信号S1を並び替え回路12に送る。これにより、並び替え回路12は、画素データ $m4$ として画素データ $X(2n-2)$ を出力する。加算器 21_2 は、画素データ $X(2n-2)$ にFF9の内容を加算する。これにより、式(6)の右辺が算出され、画素データ $Y(2n-2)$ としてCLK7の終わりでFF10にセットされる。このFF10にセットされた画素データ $Y(2n-2)$ は、CLK8の終わりでセレクタ44及び45を介してFF20にセットされる。従って、画素データ $Y(2n-2)$ は、CLK9で外部に送出される。

【0172】

可逆 5×3 フィルタを用いたウェーブレット変換の逆変換の動作は、順変換における式(5)及び式(6)を用いる代わりに、式(7)及び式(8)が用いられることを除けば、上述した順変換時の動作略同じである。可逆 5×3 フィルタを用いたウェーブレット変換の逆変換の動作を示すタイミングチャートを図12に示し、詳細な説明は省略する。

【0173】

以上説明したように、本発明の実施の形態に係る画像処理装置によれば、ウェーブレット変換と離散コサイン変換とを同一の回路で行うことができるので、回路規模を小さくできる。

【 0 1 7 4 】

【発明の効果】

以上詳述したように、本発明によれば、離散的コサイン演算及びウェーブレット演算を実行する回路を小規模にできる画像処理装置及び画像処理方法を提供できる。

【 0 1 7 5 】

J P E G 向けの離散的コサイン演算回路の単体の規模は、約 3 0 K ゲートとされている。一方、J P E G 2 0 0 0 向けのウェーブレット演算回路の単体を設計する場合、その規模は約 5 0 K ゲートと見積もることができる。これに対し、上述した係数を切り換えることによりウェーブレット変換又は離散コサイン変換を行うように構成された画像処理装置は、演算速度を単体で構成された J P E G 向けの離散的コサイン演算回路及び単体で構成された J P E G 2 0 0 0 向けのウェーブレット演算回路と同等に保った場合に、約 5 5 K ゲートで構成することができた。即ち、ゲート数を従来比で約 3 1 % 低減できた。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る画像処理装置の概略の構成を示すブロック図である。

【図 2】

本発明の実施の形態 1 に係る画像処理装置の詳細な構成を示す回路図である。

【図 3】

本発明の実施の形態 1 に係る画像処理装置で使用される係数を説明するための図である。

【図 4】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の順変換の動作を示すタイミングチャート（その 1）である。

【図 5】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の順変換の動作を示すタイミングチャート（その 2）である。

【図 6】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の順変換の動作を示すタイミングチャート（その 3）である。

【図 7】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の逆変換の動作を示すタイミングチャート（その 1）である。

【図 8】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の逆変換の動作を示すタイミングチャート（その 2）である。

【図 9】

本発明の実施の形態 1 に係る画像処理装置における離散コサイン変換の逆変換の動作を示すタイミングチャート（その 3）である。

【図 1 0】

本発明の実施の形態 2 に係る画像処理装置の詳細な構成を示す回路図である。

【図 1 1】

本発明の実施の形態 2 に係る画像処理装置における 5×3 フィルタを用いたウェーブレット変換の順変換の動作を示すタイミングチャートである。

【図 1 2】

本発明の実施の形態 2 に係る画像処理装置における 5×3 フィルタを用いたウェーブレット変換の逆変換の動作を示すタイミングチャートである。

【図 1 3】

従来の画像処理装置を説明するための図である。

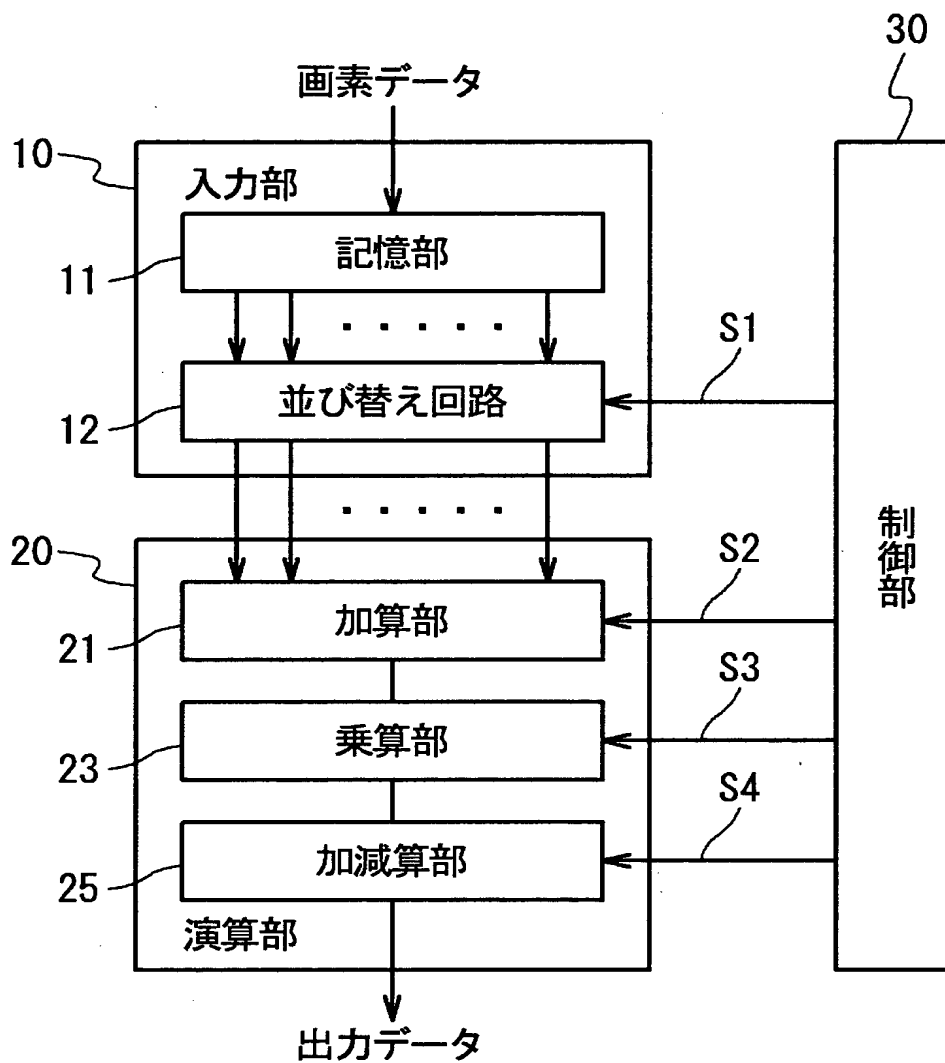
【符号の説明】

- 1 0 入力部
- 1 1 記憶部
- 1 2 並び替え回路
- 2 0 演算部
- 2 1 加算部
- 2 2 ラッチ

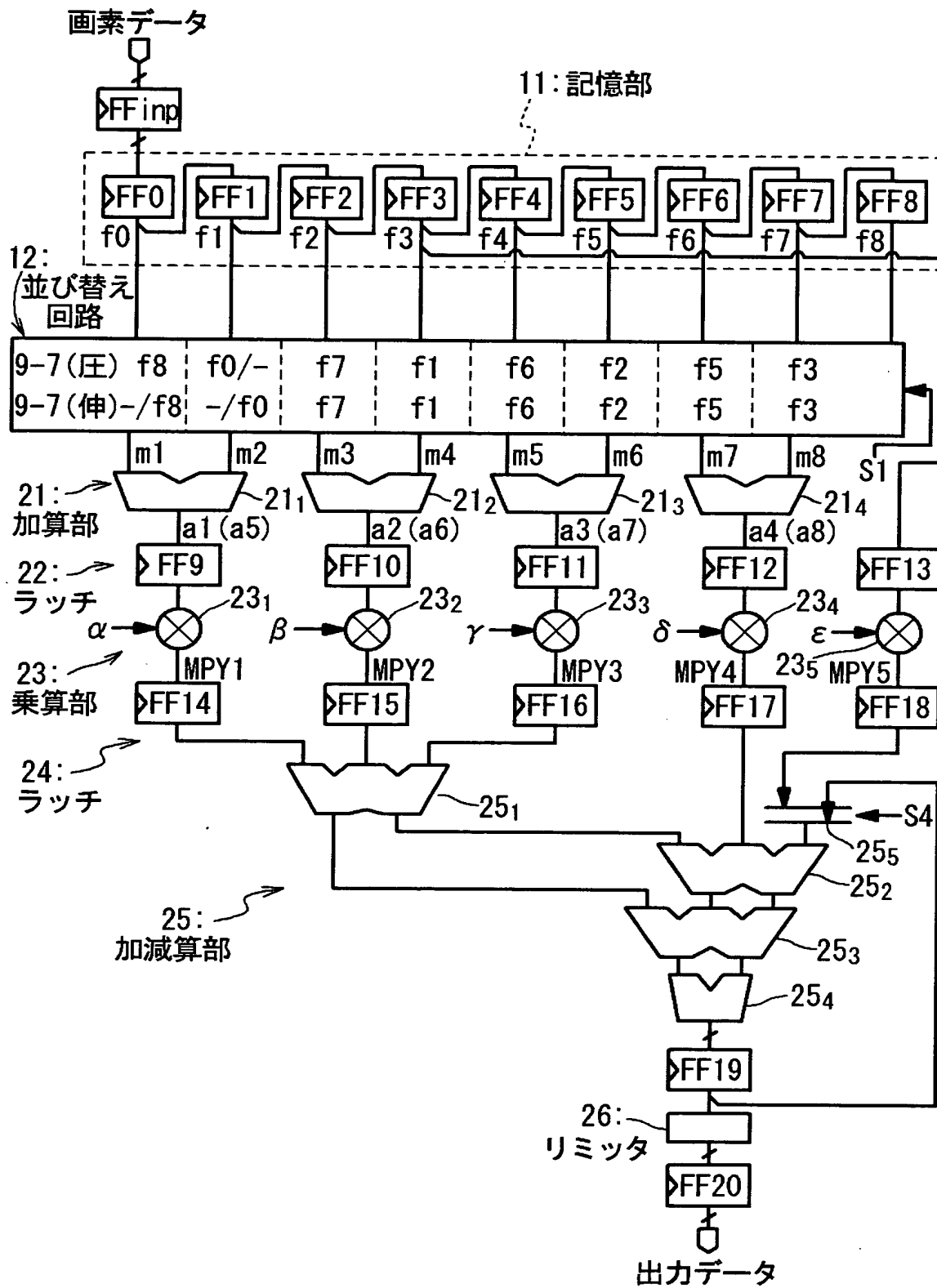
- 2 3 乗算部
- 2 4 ラッチ
- 2 5 加減算部
- 2 6 リミッタ
- 3 0 制御部
- 4 1 可逆用回路

【書類名】 図面

【図 1】



【図 2】



【図 3】

	α	β	γ	δ	ε
9-7(圧)	W1/0	-W0/W4	-W3/-W2	W5/-W6	W7/W8
9-7(伸)	0/W1	W0/-W4	-W2/-W3	-W5/W6	W8/W7
DCT(圧)	D5/D6	D1/D4	D3/D2	0/D0	0/0
DCT(伸)	D5/D6	D1/D4	D3/D2	D0/0	0/0

【図 4】

CLK	1	2	3	4	5	6	7	8	9	1		
FFinp	f0	f1	f2	f3	f4	f5	f6	f7				
FF0		f0	f1	f2	f3	f4	f5	f6	f7	f		
FF1			f0	f1	f2	f3	f4	f5	f6	f		
FF2				f0	f1	f2	f3	f4	f5	f		
FF3					f0	f1	f2	f3	f4	f		
FF4						f0	f1	f2	f3	f		
FF5							f0	f1	f2	f		
FF6								f0	f1	f		
FF7									f0	f		
FF8												
m1									*	,		
m2									*	,		
FF9										,		
FF14												
m3									*	,		
m4									*	,		
FF10										,		
FF15												
m5									f0	f		
m6									f7	f		
FF11										f0		
FF16												
m7												
m8									*	,		
FF12									*	,		
FF17										,		
FF19												
FF20												

【図 5】

13	14	15	16	17	18
f7	f7	f7	f7	f7	f7
f6	f6	f6	f6	f6	f6
f5	f5	f5	f5	f5	f5
f4	f4	f4	f4	f4	f4
f3	f3	f3	f3	f3	f3
f2	f2	f2	f2	f2	f2
f1	f1	f1	f1	f1	f1
f0	f0	f0	f0	f0	f0
*	*	*	*	f0	f3
*	*	*	*	f7	f4
*	*	*	*	*	f0+f
x0	x0	x0	x0	x0	x0
*	*	*	*	f1	f2
*	*	*	*	f6	f5
*	*	*	*	*	f1+f
x0	x0	x0	x0	x0	x0
f0	f1	f2	f3	*	*
f7	f6	f5	f4	*	*
f3+f4	f0+f7	-f1-f6	-f2-f5	f3+f4	*
(f2+f5)xD3	(f3+f4)xD3	(f0+f7)xD3	(-f1-f6)xD3	(-f2-f5)xD3	(f3+f4)
*	*	*	*	*	*
*	*	*	*	*	*
*	*	*	*	*	*
x0	x0	x0	x0	x0	x0
(a0+a1)xD3	(a0+a1+a2)xD3	(a0+a1+a2+a3)xD3	a0xD3	(a0-a1)xD3	(a0-a1-xD3)
a0xD3	(a0+a1)xD3	(a0+a1+a2)xD3	F0	a0xD3	(a0-a1)

【図 6】

21	22	23	24	25		
f7	f7	f7	f7			
f6	f6	f6	f6			
f5	f5	f5	f5			
f4	f4	f4	f4			
f3	f3	f3	f3			
f2	f2	f2	f2			
f1	f1	f1	f1			
f0	f0	f0	f0			
f0	f2	f1	f3			
f7	f5	f6	f4			
f2+f5	f0-f7	-f2+f5	-f1+f6	-f3+f4		
(-f1-f6)xD5	(f2+f5)xD5	(f0-f7)xD6	(-f2+f5)xD6	(-f1+f6)xD6	(-f	
f1	f0	f3	f2			
f6	f7	f4	f5			
-f3-f4	f1-f6	f0-f7	f3-f4	f2-f5		
(f0+f7)xD1	(-f3-f4)xD1	(f1-f6)xD4	(f0-f7)xD4	(f3-f4)xD4	(f	
f2	f3	f0	f1			
f5	f4	f7	f6			
*	f2-f5	-f3+f4	f0-f7	-f1+f6		
x0	x0	(f2-f5)xD2	(-f3+f4)xD2	(f0-f7)xD2	(-f	
f3	f1	f2	f0			
f4	f6	f5	f7			
*	f3-f4	-f1+f6	f2-f5	f0-f7		
x0	x0	(f3-f4)xD0	(-f1+f6)xD0	(f2-f5)xD0	(f	
(a0-a3)xD5	-a1xD5	(-a1+a2)xD5	a4xD6+a5xD4	-a6xD6+a4xD4	-a5)	
+(a1-a2)xD1	+a2xD1	+(a0-a3)xD1	+a6xD2+a7xD0	-a7xD2-a5xD0	+a4)	
	F2		F6	F1		

【図 7】

CLK	1	2	3	4	5	6	7	8	9	1		
FFinp	F0	F1	F2	F3	F4	F5	F6	F7				
FF0		F0	F1	F2	F3	F4	F5	F6	F7	F		
FF1			F0	F1	F2	F3	F4	F5	F6	F		
FF2				F0	F1	F2	F3	F4	F5	F		
FF3					F0	F1	F2	F3	F4	F		
FF4						F0	F1	F2	F3	F		
FF5							F0	F1	F2	F		
FF6								F0	F1	F		
FF7									F0	F		
FF8												
m1									F2	F		
m2									*	,		
FF9										F		
FF14												
m3									F6	F		
m4									*	,		
FF10										F		
FF15												
m5									F0	F		
m6									F4	,		
FF11										F0		
FF16												
m7									*	F		
m8									*	,		
FF12										,		
FF17												
FF19												
FF20												

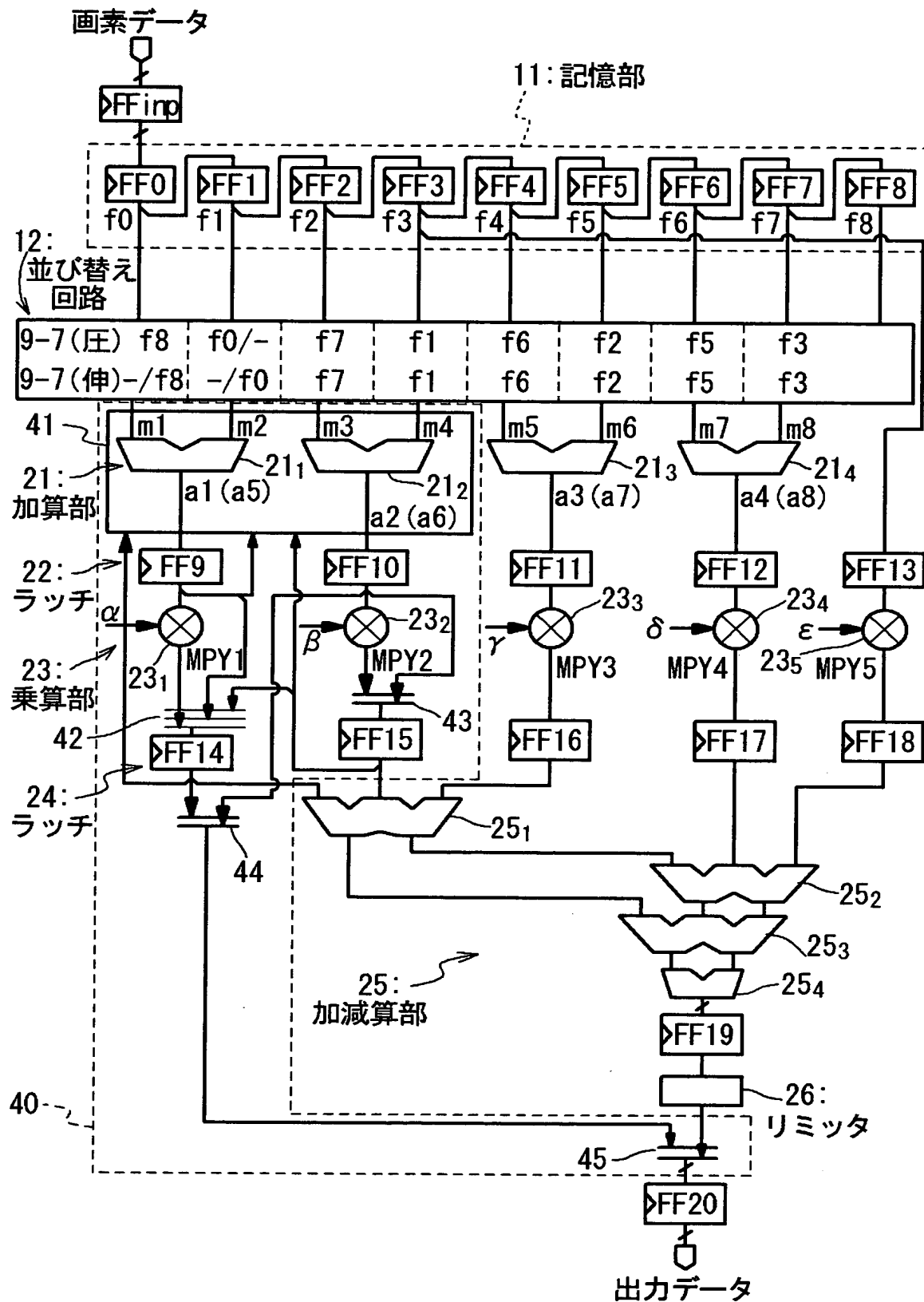
【図 8】

13	14	15	16	17		
F7	F7	F7	F7	F7		
F6	F6	F6	F6	F6		
F5	F5	F5	F5	F5		
F4	F4	F4	F4	F4		
F3	F3	F3	F3	F3		
F2	F2	F2	F2	F2		
F1	F1	F1	F1	F1		
F0	F0	F0	F0	F0		
F6	F5	F6	F5	F6		
*	*	*	*	*		
F1	-F6	-F5	-F6	-F5		
F2xD5	F1xD6	-F6xD5	-F5xD6	-F6xD5	-F	
F2	F1	F2	F1	F2		
*	*	*	*	*		
F3	F2	F1	F2	F1		
F6xD1	F3xD4	F2xD1	F1xD4	F2xD1	F	
F0	F7	F0	F7	F0		
F4	*	F4	*	F4		
F5	F0-F4	-F7	F0-F4	F7	F1	
(F0+F4)xD3	F5xD2	(F0-F4)xD3	-F7xD2	(F0-F4)xD3	F	
*	F3	*	F3	*		
*	*	*	*	*		
F7	*	-F3	*	-F3		
*x0	F7xD0	*x0	-F3xD0	*x0	-F	
a5xD6+a7xD4- a6xD2-a4xD0	(a0+a3)xD3+ a2xD5+a1xD1	a5xD6+a7xD4- a6xD2-a4xD0	(a0-a3)xD3- a1xD5+a2xD1	a6xD6+a5xD4+ a4xD2-a7xD0	(a0-i a1xD1	
(a0+a3)xD3+ a2xD5+a1xD1	f0*	(a0+a3)xD3+ a2xD5+a1xD1	f4*	(a0-a3)xD3- a1xD5+a2xD1	f	

【図 9】

21	22	23	24	25			
F7	F7	F7	F7	F7			
F6	F6	F6	F6	F6			
F5	F5	F5	F5	F5			
F4	F4	F4	F4	F4			
F3	F3	F3	F3	F3			
F2	F2	F2	F2	F2			
F1	F1	F1	F1	F1			
F0	F0	F0	F0	F0			
F2	F7	F2	F7				
*	*	*	*				
-F3	-F2	-F7	-F2	-F7			
F6xD5	-F3xD6	-F2xD5	-F7xD6	-F2xD5	-F		
F6	F5	F6	F5				
*	*	*	*				
F7	-F6	F5	-F6	F5			
-F2xD1	F7xD4	-F6xD1	F5xD4	-F6xD1	F		
F0	F3	F0	F3				
F4	*	F4	*				
F1	F0+F4	-F3	F0+F4	-F3			
(F0-F4)xD3	F1xD2	(F0+F4)xD3	-F3xD2	(F0+F4)xD3	-F		
*	F1	*	F1				
*	*	*	*				
F5	*	F1	*	F1			
*x0	F5xD0	*x0	F1xD0	*x0	F		
-a7xD6-a4xD4 +a5xD2-a6xD0	(a0-a3)xD3+ a1xD5-a2xD1	-a7xD6-a4xD4 +a5xD2-a6xD0	(a0+a3)xD3- -a2xD5-a1xD1	a4xD6-a6xD4 -a/xD2+a5xD0	(a0+ -a2x		
(a0-a3)xD3+ a1xD5-a2xD1	f2※	(a0-a3)xD3+ a1xD5-a2xD1	f6※	(a0+a3)xD3 -a2xD5-a1xD1	f		

【図10】



【図 11】

順変換時

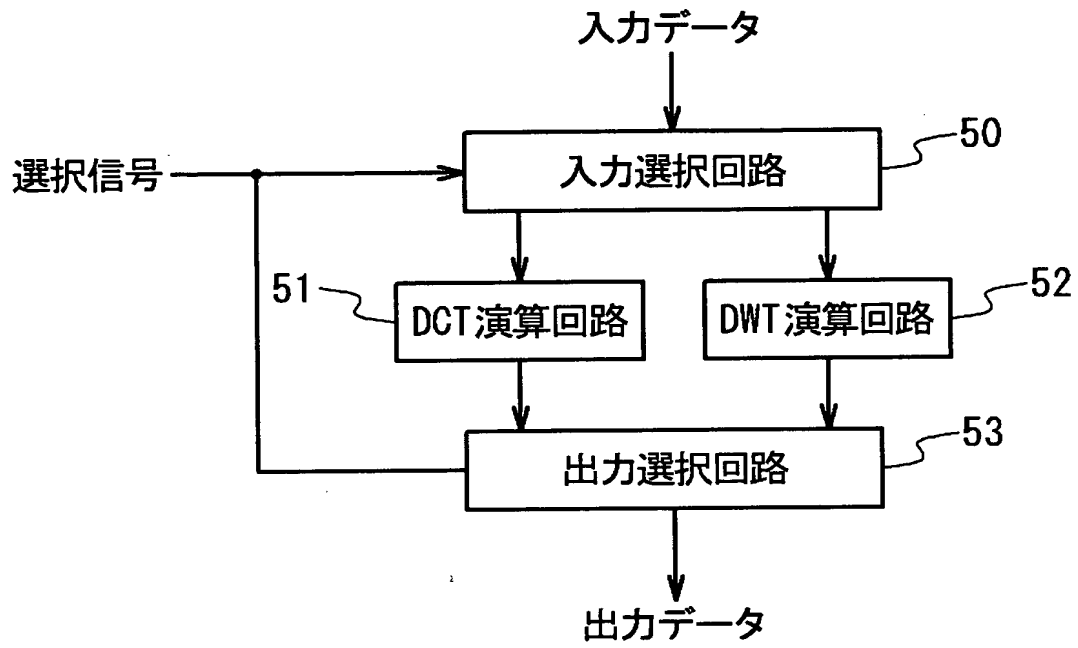
CLK	1	2	3	4	5	6	7	8	9	10	時間
FFinp	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	$2n+7$	$2n+8$	
FF0	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	$2n+7$	
FF1	$2n-3$	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	
FF2	$2n-4$	$2n-3$	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	
FF6	$2n-8$	$2n-7$	$2n-6$	$2n-5$	$2n-4$	$2n-3$	$2n-2$	$2n-1$	$2n$		
FF9	$2n-8^*$	$2n-3^*$	$2n-6^*$	$2n-1^*$	$2n-4^*$	$2n+1^*$	$2n-2^*$	$2n+3^*$			
FF10	$2n-5$	$2n-8$	$2n-3$	$2n-6$	$2n-1$	$2n-4$	$2n+1$	$2n-2$	$2n+3$		
FF15	$2n-7$	$2n-5$	$2n-5$	$2n-3$	$2n-3$	$2n-1$	$2n-1$	$2n+1$	$2n+1$		
FF14	$2n-9$	$2n-7$	$2n-7$	$2n-5$	$2n-5$	$2n-3$	$2n-3$	$2n-1$	$2n-1$		

【図 12】

逆変換時

CLK	1	2	3	4	5	6	7	8	9	10	時間
FFinp	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	$2n+7$	$2n+8$	
FF0	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	$2n+7$	
FF1	$2n-3$	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	$2n+6$	
FF2	$2n-4$	$2n-3$	$2n-2$	$2n-1$	$2n$	$2n+1$	$2n+2$	$2n+3$	$2n+4$	$2n+5$	
FF6	$2n-8$	$2n-7$	$2n-6$	$2n-5$	$2n-4$	$2n-3$	$2n-2$	$2n-1$	$2n$		
FF9	$[2n-4]^*$	$[2n-7]^*$	$[2n-2]^*$	$[2n-5]^*$	$[2n]^*$	$[2n-3]^*$	$[2n+2]^*$	$[2n-1]^*$	$[2n+4]^*$		
FF10	$[2n-9]$	$[2n-4]$	$[2n-7]$	$[2n-2]$	$[2n-5]$	$[2n]$	$[2n-3]$	$[2n+2]$	$[2n-1]$		
FF15	$[2n-6]$	$[2n-4]$	$[2n-4]$	$[2n-2]$	$[2n-2]$	$[2n]$	$[2n]$	$[2n+2]$			
FF14	$[2n-8]$	$[2n-6]$	$[2n-6]$	$[2n-4]$	$[2n-4]$	$[2n-2]$	$[2n-2]$	$[2n]$			

【図 1 3】



【書類名】 要約書

【要約】

【課題】 離散的コサイン演算及びウェーブレット演算を実行する回路を小規模にできる画像処理装置及び画像処理方法を提供する。

【解決手段】 外部から画素データを入力する入力部 1 0 と、ウェーブレット変換及び離散コサイン変換の実行を制御する制御部 3 0 と、制御部 3 0 からの制御によって係数が切り換えられることにより入力部 1 0 から入力された画素データに対してウェーブレット変換又は離散コサイン変換を実行する単一の回路から成る演算部 2 0、とを備えている。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年 1月23日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2002-281937
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E C エレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100102864
 【弁理士】
 【氏名又は名称】 工藤 実
【提出物件の目録】
 【物件名】 登記簿謄本 1
 【援用の表示】 平成 1 5 年 1 月 1 0 日 提出の出願人名義変更届（一般承継）特願 2 0 0 2 - 3 1 8 4 8 8 に添付したものを援用する。
 【物件名】 承継証明書 1
 【援用の表示】 平成 1 5 年 1 月 2 3 日 提出の出願人名義変更届（一般承継）平成 1 0 年特許願第 2 9 7 1 5 1 に添付したものを援用する。
 【包括委任状番号】 0216502
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社